

w0182

Claims Description**Process for manufacturing semiconductor integrated circuit device**

Patent Number: ☐ US6057081

Publication date: 2000-05-02

Inventor(s): ABE JUN (JP); MURAI FUMIO (JP); SASABE SHUNJI (JP); SUKO KAZUYUKI (JP); KUMIHASHI TAKAO (JP); YUNOGAMI TAKASHI (JP)

Applicant(s):: HITACHI LTD (JP)

Requested Patent: ☐ JP10098162

Application Number: US19970935033 19970922

Priority Number (s): JP19960250749 19960920

IPC Classification: G03F7/26

EC Classification: H01L21/311B2B2 ; H01L21/311D ; H01L21/3213C4D ; H01L21/3213D

Equivalents: TW405174

Abstract

In order that reaction products of low vapor pressure may be prevented from being deposited on the side wall of a predetermined pattern when this pattern is to be formed by dry-etching a Pt film or a PZT film, a resist mask 54 having a rounded outer periphery at its head is used when the Pt film 53 deposited on a semiconductor substrate 50 is to be dry-etched. After this dry-etching, moreover, an overetching of a proper extent is performed to completely remove the side wall deposited film 55 which is left on the side of the pattern. The resist mask 54 is formed by exposing and developing a benzophenone novolak resist and subsequently by heating to set it while irradiating it, if necessary, with ultraviolet rays.



Data supplied from the esp@cenet database - I2

TOP**Claims**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-98162

(43) 公開日 平成10年(1998) 4月14日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1
21/8242		G 0 3 F 7/26	5 1 3
G 0 3 F 7/26	5 1 3	H 0 1 L 27/10	4 5 1
H 0 1 L 21/027		21/30	5 0 2 R
21/3065		21/302	J

審査請求 未請求 請求項の数29 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願平8-250749

(22) 出願日 平成8年(1996) 9月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 湯之上 隆

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 笹部 俊二

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 須向 一行

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 筒井 大和

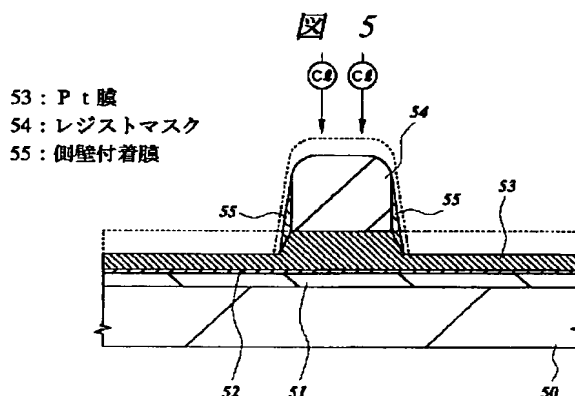
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【課題】 P_t膜やPZT膜をドライエッチングして所定のパターンを形成する際に、蒸気圧の低い反応生成物がパターンの側壁に付着するのを防止する。

【解決手段】 半導体基板50上に堆積したP_t膜53をドライエッチングする際、頭部の外周部が丸みを帯びたレジストマスク54を使用する。また、ドライエッチング後に適切な量のオーバーエッチングを行ってパターンの側面に残った側壁付着膜55を完全に除去する。レジストマスク54は、ベンゾフェノン系ノボラックレジストを露光、現像した後、必要に応じて紫外線を照射しながら加熱して硬化させることにより形成する。



【特許請求の範囲】

【請求項1】 ウエハの第一の主面上に直接または間接に形成された側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜を、少なくとも下側半分の側面がほぼ垂直で、頭部の外周部に順テーパまたは丸みを有する所定のパターンフォトリソレジストをマスクにして、薄膜パターンの側面にその下端に達する順テーパが形成されるように、ドライエッチングによりパターンニングする工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法であって、前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1記載の半導体集積回路装置の製造方法であって、前記薄膜は、白金薄膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項3記載の半導体集積回路装置の製造方法であって、前記薄膜は、高誘電体薄膜または強誘電体薄膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項5】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法。

(a) ウエハの第一の主面上に、側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜を直接または間接に形成する工程、(b) 前記薄膜上に、少なくとも下側半分の側面がほぼ垂直で、頭部外周部に順テーパまたは丸みを有する所定のパターンフォトリソレジストを直接または間接に形成する工程、(c) 前記所定のパターンフォトリソレジストをマスクにして、前記薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されるように、ドライエッチングによりパターンニングする工程。

【請求項6】 請求項5記載の半導体集積回路装置の製造方法であって、前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去することを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項5記載の半導体集積回路装置の製造方法であって、前記薄膜は、白金薄膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項7記載の半導体集積回路装置の製造方法であって、前記薄膜は、高誘電体薄膜または強誘電体薄膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項9】 (a) ウエハの第一の主面上に、側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜を直接または間接に形成する工程、(b) 前記薄膜上にポジ型ベンゾフェノン系ノボラックレジストを直接

または間接にスピン塗布する工程、(c) 前記ポジ型ベンゾフェノン系ノボラックレジストを露光および現像して所定のレジストパターンを形成する工程、(d) 少なくとも前記レジストパターンを加熱すると共に、その表面に紫外線を照射することにより、前記レジストパターンを硬化させる工程、(e) 前記硬化したレジストパターンをマスクにして、前記薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されるように、ドライエッチングによりパターンニングする工程、(f) 前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程、を含み、前記(d)工程完了時には前記レジストパターンの頭部外周部が丸みを帯びるように、前記ポジ型ベンゾフェノン系ノボラックレジストの現像時に未露光部分の表面不溶化を弱めることを特徴とする半導体集積回路装置の製造方法。

【請求項10】 請求項9記載の半導体集積回路装置の製造方法であって、前記薄膜は、白金薄膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項11】 請求項10記載の半導体集積回路装置の製造方法であって、前記薄膜は、高誘電体薄膜または強誘電体薄膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項12】 ポジ型またはネガ型のフォトリソレジストと、実質的に同一波長の露光光を用いた縮小投影露光によるフォトリソグラフィ処理を繰り返して複数の薄膜をパターンニングする半導体集積回路装置の製造方法であって、

前記フォトリソグラフィ処理の一部の工程においては、前記ポジ型またはネガ型の第一のフォトリソレジストを用い、他の一部の工程または実質的に他の全ての工程においては、前記第一のフォトリソレジストとポジ、ネガの型が同一であって、パターンの形状特性が異なる第二のフォトリソレジストを用いることを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項12記載の半導体集積回路装置の製造方法であって、前記第一のフォトリソレジストはポジ型ベンゾフェノン系ノボラックレジストであり、前記第二のフォトリソレジストはポジ型非ベンゾフェノン系ノボラックレジストであることを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項13記載の半導体集積回路装置の製造方法であって、前記第一のフォトリソレジストからなるレジストパターンをマスクにして、側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜をパターンニングすることを特徴とする半導体集積回路装置の製造方法。

【請求項15】 請求項13記載の半導体集積回路装置の製造方法であって、前記薄膜をパターンニングした後、さらにオーバーエッチングを行って前記薄膜パターンの

側面に残留した側壁付着膜を除去することを特徴とする半導体集積回路装置の製造方法。

【請求項16】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法。

(a) ウエハの第一の主面上に、単一または複数の膜からなる第一の薄膜を直接または間接に形成する工程、
(b) 前記第一の薄膜上に、ポジ型非ベンゾフェノン系ノボラックレジストからなる第一のフォトレジスト膜を直接または間接に形成する工程、(c) 前記第一のフォトレジスト膜を縮小投影露光処理により露光した後、前記露光が完了した前記第一のフォトレジスト膜を現像処理して、前記第一の薄膜上に第一のレジストパターンを形成する工程、(d) 前記第一のレジストパターンをマスクにしたドライエッチングにより前記第一の薄膜をパターンニングして、前記ウエハの第一の主面上にMISFETのゲート電極を形成する工程、(e) 前記ゲート電極が形成された前記ウエハの第一の主面上に、ドライエッチング時に側壁付着を起こしやすい膜を含む単一または複数の膜からなる第二の薄膜を直接または間接に形成する工程、(f) 前記第二の薄膜上に、ポジ型ベンゾフェノン系ノボラックレジストからなる第二のフォトレジスト膜を直接または間接にスピン塗布する工程、(g) 前記第二のフォトレジスト膜を縮小投影露光処理により露光した後、前記露光が完了した前記第二のフォトレジスト膜を現像処理して、前記第二の薄膜上に第二のレジストパターンを形成する工程、(h) 前記第二のレジストパターンをマスクにしたドライエッチングにより、前記第二の薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されるようにパターンニングする工程、
(i) 前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程。

【請求項17】 請求項16記載の半導体集積回路装置の製造方法であって、前記第二の薄膜は、DRAMのメモセルのキャパシタを構成する薄膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項16記載の半導体集積回路装置の製造方法であって、前記第二の薄膜は、強誘電体RAMのメモセルのキャパシタを構成する薄膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項18記載の半導体集積回路装置の製造方法であって、前記第二の薄膜は、Pt、Ir、IrO₂、Rh、RhO₂、Os、OsO₂、Ru、RuO₂、Re、ReO₃、PdおよびAuから選ばれた群よりなる1種または2種以上の金属薄膜もしくは導電性金属酸化物薄膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項19記載の半導体集積回路装置の製造方法であって、前記第二の薄膜は、PZT、PLT、PLZT、SBT、PbTiO₃、SrTiO₃ お

よびBaTiO₃ から選ばれた群よりなる1種または2種以上の強誘電体薄膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項21】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法。

(a) ウエハの第一の主面上に、単一または複数の膜からなる第一の薄膜を直接または間接に形成する工程、
(b) 前記第一の薄膜上に、パターン側面の上端部または上側半分の断面形状が直角的なポジ型の第一のフォトレジスト膜を直接または間接に形成する工程、(c) 前記第一のフォトレジスト膜を縮小投影露光処理により露光した後、前記露光が完了した前記第一のフォトレジスト膜を現像処理して、前記第一の薄膜上に第一のレジストパターンを形成する工程、(d) 前記第一のレジストパターンをマスクにしたドライエッチングにより前記第一の薄膜をパターンニングして、前記ウエハの第一の主面上にMISFETのゲート電極を形成する工程、(e) 前記ゲート電極が形成された前記ウエハの第一の主面上に、単一または複数の膜からなる第二の薄膜を直接または間接に形成する工程、(f) 前記第二の薄膜上に、パターン側面の上端部または上側半分の断面形状が前記第一のフォトレジスト膜のそれよりも直角的でないポジ型の第二のフォトレジスト膜を直接または間接にスピン塗布する工程、(g) 前記第二のフォトレジスト膜を縮小投影露光処理により露光した後、前記露光が完了した前記第二のフォトレジスト膜を現像処理して、前記第二の薄膜上に第二のレジストパターンを形成する工程、
(h) 前記第二のレジストパターンをマスクにしたドライエッチングにより、前記第二の薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されるようにパターンニングする工程、(i) 前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程。

【請求項22】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法。

(a) ウエハの第一の主面上に、単一または複数の膜からなる第一の薄膜を直接または間接に形成する工程、
(b) 前記第一の薄膜上に、パターン側面の上端部または上側半分の断面形状が直角的な第一のフォトレジスト膜を直接または間接に形成する工程、(c) 前記第一のフォトレジスト膜を縮小投影露光処理により露光した後、前記露光が完了した前記第一のフォトレジスト膜を現像処理して、前記第一の薄膜上に第一のレジストパターンを形成する工程、(d) 前記第一のレジストパターンをマスクにしたドライエッチングにより前記第一の薄膜をパターンニングして、前記ウエハの第一の主面上にMISFETのゲート電極を形成する工程、(e) 前記ゲート電極が形成された前記ウエハの第一の主面上に、単一または複数の膜からなる導電膜を含む第二の薄膜を直接または間接に形成する工程、(f) 前記第二の薄膜上

に、パターン側面の上端部または上側半分の断面形状が前記第一のフォトレジスト膜のそれよりも直角的でない第二のフォトレジスト膜を直接または間接にスパイン塗布する工程、(g)前記第二のフォトレジスト膜を縮小投影露光処理により露光した後、前記露光が完了した前記第二のフォトレジスト膜を現像処理して、前記第二の薄膜上に第二のレジストパターンを形成する工程、(h)前記第二のレジストパターンをマスクにしたドライエッチングにより、前記第二の薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されるようにパターンニングする工程、(i)前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程。

【請求項23】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法。

(a)ウエハの第一の主面上に、側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜を直接または間接に形成する工程、(b)前記薄膜上に、少なくとも下側半分の側面がほぼ垂直で、頭部外周部に丸みを有するポジ型のレジストパターンを直接または間接に形成する工程、(c)前記レジストパターンをマスクにして、前記薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されると共に、前記レジストパターンおよび前記薄膜パターンのそれぞれの側面に付着する側壁付着膜の側面にその下端に達する順テーパが形成されるように、ドライエッチングによりパターンニングする工程、(d)前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程。

【請求項24】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法。

(a)ウエハの第一の主面上に、側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜を直接または間接に形成する工程、(b)前記薄膜上に、側面がほぼ垂直なポジ型のレジストパターンを直接または間接に形成する工程、(c)前記レジストパターンをベーク処理することにより、前記レジストパターンの頭部の外周部に順テーパを形成する工程、(d)前記レジストパターンをマスクにして、前記薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されると共に、前記レジストパターンおよび前記薄膜パターンのそれぞれの側面に付着する側壁付着膜の側面にその下端に達する順テーパが形成されるように、ドライエッチングによりパターンニングする工程、(e)前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程。

【請求項25】 (a)ウエハの第一の主面上に、側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜を直接または間接に形成する工程、(b)前記薄膜上にフォトレジストを直接または間接にスパイン塗布す

る工程、(c)前記フォトレジストを露光および現像して所定のレジストパターンを形成する工程、(d)前記レジストパターンをマスクにして、前記薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されるように、ドライエッチングによりパターンニングする工程、(e)前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程、を含み、前記フォトレジストの露光時に露光光のフォーカス条件を制御することによって、前記レジストパターンの頭部の外周部に順テーパまたは丸みを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項26】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法。

(a)ウエハの第一の主面上に、単一または複数の膜からなる第一の薄膜を直接または間接に形成する工程、

(b)前記第一の薄膜上に、ポジ型の化学増幅型フォトレジストからなる第一のフォトレジスト膜を直接または間接に形成する工程、(c)前記第一のフォトレジスト膜を露光および現像して、前記第一の薄膜上に第一のレジストパターンを形成する工程、(d)前記第一のレジストパターンをマスクにしたドライエッチングにより前記第一の薄膜をパターンニングして、前記ウエハの第一の主面上にMISFETのゲート電極を形成する工程、

(e)前記ゲート電極が形成された前記ウエハの第一の主面上に、ドライエッチング時に側壁付着を起こしやすい膜を含む単一または複数の膜からなる第二の薄膜を直接または間接に形成する工程、(f)前記第二の薄膜上に、ネガ型の化学増幅型フォトレジストからなる第二のフォトレジスト膜を直接または間接にスパイン塗布する工程、(g)前記第二のフォトレジスト膜を露光および現像して、前記第二の薄膜上に、頭部の外周部に丸みを有する第二のレジストパターンを形成する工程、(h)前記第二のレジストパターンをマスクにしたドライエッチングにより、前記第二の薄膜をパターンニングする工程。

【請求項27】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法。

(a)ウエハの第一の主面上に、単一または複数の膜からなる第一の薄膜を直接または間接に形成する工程、

(b)前記第一の薄膜上に、ポジ型の化学増幅型フォトレジストからなる第一のフォトレジスト膜を直接または間接に形成する工程、(c)前記第一のフォトレジスト膜を露光および現像して、前記第一の薄膜上に第一のレジストパターンを形成する工程、(d)前記第一のレジストパターンをマスクにしたドライエッチングにより前記第一の薄膜をパターンニングして、前記ウエハの第一の主面上にMISFETのゲート電極を形成する工程、

(e)前記ゲート電極が形成された前記ウエハの第一の主面上に、ドライエッチング時に側壁付着を起こしやすい膜を含む単一または複数の膜からなる第二の薄膜を直

接または間接に形成する工程、(f)前記第二の薄膜上に、ポジ型の化学増幅型フォトリソ膜からなる第二のフォトリソ膜を直接または間接にスピン塗布する工程、(g)前記第二のフォトリソ膜を露光および現像して、前記第二の薄膜上に第二のレジストパターンを形成する工程、(h)前記第二のレジストパターンに紫外線を照射してその表面のみを溶解させる工程、(i)前記表面のみを溶解させた第二のレジストパターンの表面に酸性ポリマーをスピン塗布した後、前記第二のレジストパターンをベーク処理することにより、頭部の外周部に丸みを有する第二のレジストパターンを形成する工程、(j)前記第二のレジストパターンをマスクにしたドライエッチングにより、前記第二の薄膜をパターンニングする工程。

【請求項28】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法。

(a)ウエハの第一の主面上に、単一または複数の膜からなる第一の薄膜を直接または間接に形成する工程、
(b)前記第一の薄膜上に、ポジ型のメタクリル酸系フォトリソ膜からなる第一のフォトリソ膜を直接または間接に形成する工程、(c)前記第一のフォトリソ膜を露光および現像して、前記第一の薄膜上に第一のレジストパターンを形成する工程、(d)前記第一のレジストパターンをマスクにしたドライエッチングにより前記第一の薄膜をパターンニングして、前記ウエハの第一の主面上にMISFETのゲート電極を形成する工程、(e)前記ゲート電極が形成された前記ウエハの第一の主面上に、ドライエッチング時に側壁付着を起こしやすい膜を含む単一または複数の膜からなる第二の薄膜を直接または間接に形成する工程、(f)前記第二の薄膜上に、ネガ型のメタクリル酸系フォトリソ膜からなる第二のフォトリソ膜を直接または間接にスピン塗布する工程、(g)前記第二のフォトリソ膜を露光および現像して、前記第二の薄膜上に、頭部の外周部に丸みを有する第二のレジストパターンを形成する工程、(h)前記第二のレジストパターンをマスクにしたドライエッチングにより、前記第二の薄膜をパターンニングする工程。

【請求項29】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法。

(a)ウエハの主面上に、側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜を直接または間接に形成する工程、(b)前記薄膜上にポジ型のフォトリソ膜を直接または間接にスピン塗布する工程、(c)前記フォトリソ膜を露光および現像して所定のレジストパターンを形成する工程、(d)前記レジストパターンのみがエッチングされ、かつ前記レジストパターンの頭部の角部から斜め方向に削れが進行するような条件で短時間ドライエッチングを行うことにより、前記レジストパターンの頭部の外周部に順テーパを形成する工程、

(e)前記レジストパターンをマスクにしたドライエッチングにより、前記薄膜をパターンニングする工程、

(f)前記薄膜をパターンニングした後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強(高)誘電体キャパシタを有する半導体集積回路装置の製造方法に関し、特に、ドライエッチング時に蒸気圧の低い反応生成物を発生する導電材料を用いて強(高)誘電体キャパシタを製造するプロセスに適用して有効な技術に関するものである。

【0002】

【従来の技術】256 Mbit ~ 1 Gbit 以降の大容量DRAM(Dynamic Random Access Memory)は、メモリセルの微細化に伴う蓄積電荷量の減少を補う対策として、情報蓄積容量素子(キャパシタ)の容量絶縁膜を Ta_2O_5 やBST($(Ba, Sr)TiO_3$)といった比誘電率が20以上の高誘電体材料、さらにはPZT($PbZr_xTi_{1-x}O_3$)、PLT($PbLa_xTi_{1-x}O_3$)、PLZT、 $PbTiO_3$ 、 $SrTiO_3$ 、 $BaTiO_3$ といった比誘電率が100を超える強誘電体材料で構成することが要求されている。

【0003】他方、不揮発性メモリの分野においても、上記した強誘電体材料の分極反転を記憶保持に利用した強誘電体メモリの開発が進められている。

【0004】キャパシタの容量絶縁膜を上記のような強(高)誘電体材料で構成する場合には、容量絶縁膜を挟む電極用の導電膜もこれらの材料に対して親和性の高い、例えばPtのような高融点金属材料で構成する必要がある。

【0005】ところが、PtやPZTを使用してキャパシタを形成する場合の問題点として、基板上に堆積したPtやPZTの薄膜をドライエッチングで加工する際に、蒸気圧の低い反応生成物がパターンの側面に多量に付着し、これがキャパシタ同士の短絡を引き起こす原因になることが知られている。

【0006】従来、Pt膜をドライエッチングで加工する際にパターンの側面に反応生成物が付着するのを防ぐ対策としては、エッチングのマスクに用いるフォトリソ膜の側面にテーパを設ける方法や、フォトリソ膜に代えて酸化シリコン膜や金属膜などのハードマスクを用いる方法が公知である。

【0007】1996年、第43回応用物理学関係連合講演会・講演予稿集、No.2の27p-N-9は、基板上に堆積したPt/PZT/Ptの三層膜をドライエッチングする際、側面に約75度のテーパを設けたレジストマスクを用いることにより、側壁付着膜のないクリーンなキャパシタが形成できると報告している。これは、レ

ジストマスクの側面にテーパを設けると、パターンの側面にもエッチングイオンが照射されるため、テーパ角がある一定の値(約75度)よりも大きくすることにより、側壁付着膜が堆積する速度よりもエッチングで除去される速度が上回るようになるためであると考えられる。

【0008】1995年、第56回応用物理学会学術講演会・講演予稿集、No.2の26a-ZT-4は、Pt膜をドライエッチングする際、所定のパターンにエッチングした酸化シリコン膜をマスクに用い、かつArに酸素を添加したエッチングガスを用いることにより、Pt膜がテーパ状に加工され、側壁付着膜のないエッチングが可能になると報告している。

【0009】特開平5-89662号公報は、所定のパターンにエッチングしたTi膜をマスクに用いてPt膜をエッチングすることにより、側壁付着膜のない良好なPtパターンを形成する方法を開示している。

【0010】ブライアン・チャップマン(Brian Chapman)の"Glow Discharge Processes SPUTTERING AND PLASMA ETCHING" p244 ~p253は、テーパを設けたレジストマスクを使ったRIEエッチング技術を開示している。

【0011】

【発明が解決しようとする課題】しかし本発明者が検討したところによると、側面にテーパを設けたレジストマスクを用いてPt膜をパターンニングする従来方法は、レジストマスクの側面にテーパを形成する工程が煩雑であるのみならず、微細なPtパターンを高い寸法精度で形成することが困難であるという問題がある。

【0012】他方、酸化シリコン膜や金属膜などのハードマスクを用いる方法は、Pt膜上に堆積したこれらの膜をドライエッチングしてハードマスクパターンを形成するため、レジストマスクを使用する場合に比べて工程が増加するという問題がある。また、エッチング中はハードマスクを300℃近くまで加熱する必要があるため、強(高)誘電体膜上のPt膜をエッチングする場合は下地の強(高)誘電体膜が劣化するという問題や、エッチング終了後にハードマスクをアッシングで除去することが困難であるという問題もある。

【0013】本発明の目的は、基板上に堆積したPtなどの薄膜をレジストマスクを用いたドライエッチングでパターンニングする際、蒸気圧の低い反応生成物をパターンの側面に残留させず、しかも高い寸法精度で微細なパターンを形成することのできる技術を提供することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、

次のとおりである。

【0016】(1)本発明の半導体集積回路装置の製造方法は、ウエハの第一の主面上に直接または間接に形成された側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜を、少なくとも下側半分の側面がほぼ垂直で、頭部の外周部に順テーパまたは丸みを有する所定のパターンのフォトレジストをマスクにして、薄膜パターンの側面にその下端に達する順テーパが形成されるように、ドライエッチングによりパターンニングする工程を含んでいる。

【0017】(2)本発明の半導体集積回路装置の製造方法は、前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程を含んでいる。

【0018】(3)前記薄膜は、白金薄膜を含んでいる。

【0019】(4)前記薄膜は、高誘電体薄膜または強誘電体薄膜を含んでいる。

【0020】(5)本発明の半導体集積回路装置の製造方法は、(a)ウエハの第一の主面上に、側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜を直接または間接に形成する工程、(b)前記薄膜上に、少なくとも下側半分の側面がほぼ垂直で、頭部外周部に順テーパまたは丸みを有する所定のパターンのフォトレジストを直接または間接に形成する工程、(c)前記所定のパターンのフォトレジストをマスクにして、前記薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されるように、ドライエッチングによりパターンニングする工程、を含んでいる。

【0021】(6)本発明の半導体集積回路装置の製造方法は、前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程を含んでいる。

【0022】(7)前記薄膜は、白金薄膜を含んでいる。

【0023】(8)前記薄膜は、高誘電体薄膜または強誘電体薄膜を含んでいる。

【0024】(9)本発明の半導体集積回路装置の製造方法は、(a)ウエハの第一の主面上に、側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜を直接または間接に形成する工程、(b)前記薄膜上にポジ型ベンゾフェノン系ノボラックレジストを直接または間接にスピン塗布する工程、(c)前記ポジ型ベンゾフェノン系ノボラックレジストを露光および現像して所定のレジストパターンを形成する工程、(d)少なくとも前記レジストパターンを加熱すると共に、その表面に紫外線を照射することにより、前記レジストパターンを硬化させる工程、(e)前記硬化したレジストパターンをマスクにして、前記薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されるように、ドライエ

チングによりパターンニングする工程、(f)前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程、を含み、前記(d)工程完了時には前記レジストパターンの頭部外周部が丸みを帯びるように、前記ポジ型ベンゾフェノン系ノボラックレジストの現像時に未露光部分の表面不溶化を弱めるようにする。

【0025】(10)前記薄膜は、白金薄膜を含んでいる。

【0026】(11)前記薄膜は、高誘電体薄膜または強誘電体薄膜を含んでいる。

【0027】(12)本発明の半導体集積回路装置の製造方法は、ポジ型またはネガ型のフォトレジストと、実質的に同一波長の露光光とを用いた縮小投影露光によるフォトリソグラフィ処理を繰り返して複数の薄膜をパターンニングするにあたり、前記フォトリソグラフィ処理の一部の工程においては、前記ポジ型またはネガ型の第一のフォトレジストを用い、他の一部の工程または実質的に他の全ての工程においては、前記第一のフォトレジストとポジ、ネガの型が同一であって、パターンの形状特性が異なる第二のフォトレジストを用いるものである。

【0028】(13)前記第一のフォトレジストはポジ型ベンゾフェノン系ノボラックレジストであり、前記第二のフォトレジストはポジ型非ベンゾフェノン系ノボラックレジストである。

【0029】(14)本発明の半導体集積回路装置の製造方法は、前記第一のフォトレジストからなるレジストパターンをマスクにして、側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜をパターンニングする工程を含んでいる。

【0030】(15)本発明の半導体集積回路装置の製造方法は、前記薄膜をパターンニングした後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程を含んでいる。

【0031】(16)本発明の半導体集積回路装置の製造方法は、(a)ウエハの第一の主面上に、単一または複数の膜からなる第一の薄膜を直接または間接に形成する工程、(b)前記第一の薄膜上に、ポジ型非ベンゾフェノン系ノボラックレジストからなる第一のフォトレジスト膜を直接または間接に形成する工程、(c)前記第一のフォトレジスト膜を縮小投影露光処理により露光した後、前記露光が完了した前記第一のフォトレジスト膜を現像処理して、前記第一の薄膜上に第一のレジストパターンを形成する工程、(d)前記第一のレジストパターンをマスクにしたドライエッチングにより前記第一の薄膜をパターンニングして、前記ウエハの第一の主面上にMISFETのゲート電極を形成する工程、(e)前記ゲート電極が形成された前記ウエハの第一の主面上に、ドライエッチング時に側壁付着を起こしやすい膜を含む単一または複数の膜からなる第二の薄膜を直接または間

接に形成する工程、(f)前記第二の薄膜上に、ポジ型ベンゾフェノン系ノボラックレジストからなる第二のフォトレジスト膜を直接または間接にスピン塗布する工程、(g)前記第二のフォトレジスト膜を縮小投影露光処理により露光した後、前記露光が完了した前記第二のフォトレジスト膜を現像処理して、前記第二の薄膜上に第二のレジストパターンを形成する工程、(h)前記第二のレジストパターンをマスクにしたドライエッチングにより、前記第二の薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されるようにパターンニングする工程、(i)前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程、を含んでいる。

【0032】(17)前記第二の薄膜は、DRAMのメモリセルのキャパシタを構成する薄膜である。

【0033】(18)前記第二の薄膜は、強誘電体RAMのメモリセルのキャパシタを構成する薄膜である。

【0034】(19)前記第二の薄膜は、Pt、Ir、 IrO_2 、Rh、 RhO_2 、Os、 OsO_2 、Ru、 RuO_2 、Re、 ReO_3 、PdおよびAuから選ばれた群よりなる1種または2種以上の金属薄膜もしくは導電性金属酸化物薄膜を含んでいる。

【0035】(20)前記第二の薄膜は、PZT、PLT、PLZT、SBT、 PbTiO_3 、 SrTiO_3 および BaTiO_3 から選ばれた群よりなる1種または2種以上の強誘電体薄膜を含んでいる。

【0036】(21)本発明の半導体集積回路装置の製造方法は、(a)ウエハの第一の主面上に、単一または複数の膜からなる第一の薄膜を直接または間接に形成する工程、(b)前記第一の薄膜上に、パターン側面の上端部または上側半分の断面形状が直角的なポジ型の第一のフォトレジスト膜を直接または間接に形成する工程、(c)前記第一のフォトレジスト膜を縮小投影露光処理により露光した後、前記露光が完了した前記第一のフォトレジスト膜を現像処理して、前記第一の薄膜上に第一のレジストパターンを形成する工程、(d)前記第一のレジストパターンをマスクにしたドライエッチングにより前記第一の薄膜をパターンニングして、前記ウエハの第一の主面上にMISFETのゲート電極を形成する工程、(e)前記ゲート電極が形成された前記ウエハの第一の主面上に、単一または複数の膜からなる第二の薄膜を直接または間接に形成する工程、(f)前記第二の薄膜上に、パターン側面の上端部または上側半分の断面形状が前記第一のフォトレジスト膜のそれよりも直角的でないポジ型の第二のフォトレジスト膜を直接または間接にスピン塗布する工程、(g)前記第二のフォトレジスト膜を縮小投影露光処理により露光した後、前記露光が完了した前記第二のフォトレジスト膜を現像処理して、前記第二の薄膜上に第二のレジストパターンを形成する工程、(h)前記第二のレジストパターンをマスクにし

たドライエッチングにより、前記第二の薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されるようにパターニングする工程、(i)前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程、を含んでいる。

【0037】(22)本発明の半導体集積回路装置の製造方法は、(a)ウエハの第一の主面上に、単一または複数の膜からなる第一の薄膜を直接または間接に形成する工程、(b)前記第一の薄膜上に、パターン側面の上端部または上側半分の断面形状が直角的な第一のフォトレジスト膜を直接または間接に形成する工程、(c)前記第一のフォトレジスト膜を縮小投影露光処理により露光した後、前記露光が完了した前記第一のフォトレジスト膜を現像処理して、前記第一の薄膜上に第一のレジストパターンを形成する工程、(d)前記第一のレジストパターンをマスクにしたドライエッチングにより前記第一の薄膜をパターニングして、前記ウエハの第一の主面上にMISFETのゲート電極を形成する工程、(e)前記ゲート電極が形成された前記ウエハの第一の主面上に、単一または複数の膜からなる導電膜を含む第二の薄膜を直接または間接に形成する工程、(f)前記第二の薄膜上に、パターン側面の上端部または上側半分の断面形状が前記第一のフォトレジスト膜のそれよりも直角的でない第二のフォトレジスト膜を直接または間接にスパイン塗布する工程、(g)前記第二のフォトレジスト膜を縮小投影露光処理により露光した後、前記露光が完了した前記第二のフォトレジスト膜を現像処理して、前記第二の薄膜上に第二のレジストパターンを形成する工程、(h)前記第二のレジストパターンをマスクにしたドライエッチングにより、前記第二の薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されるようにパターニングする工程、(i)前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程、を含んでいる。

【0038】(23)本発明の半導体集積回路装置の製造方法は、(a)ウエハの第一の主面上に、側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜を直接または間接に形成する工程、(b)前記薄膜上に、少なくとも下側半分の側面がほぼ垂直で、頭部外周部に丸みを有するポジ型のレジストパターンを直接または間接に形成する工程、(c)前記レジストパターンをマスクにして、前記薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されると共に、前記レジストパターンおよび前記薄膜パターンのそれぞれの側面に付着する側壁付着膜の側面にその下端に達する順テーパが形成されるように、ドライエッチングによりパターニングする工程、(d)前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの

側面に残留した側壁付着膜を除去する工程、を含んでいる。

【0039】(24)本発明の半導体集積回路装置の製造方法は、(a)ウエハの第一の主面上に、側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜を直接または間接に形成する工程、(b)前記薄膜上に、側面がほぼ垂直なポジ型のレジストパターンを直接または間接に形成する工程、(c)前記レジストパターンをベーク処理することにより、前記レジストパターンの頭部の外周部に順テーパを形成する工程、(d)前記レジストパターンをマスクにして、前記薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されると共に、前記レジストパターンおよび前記薄膜パターンのそれぞれの側面に付着する側壁付着膜の側面にその下端に達する順テーパが形成されるように、ドライエッチングによりパターニングする工程、(e)前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程、を含んでいる。

【0040】(25)本発明の半導体集積回路装置の製造方法は、(a)ウエハの第一の主面上に、側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜を直接または間接に形成する工程、(b)前記薄膜上にフォトレジストを直接または間接にスパイン塗布する工程、(c)前記フォトレジストを露光および現像して所定のレジストパターンを形成する工程、(d)前記レジストパターンをマスクにして、前記薄膜を、薄膜パターンの側面にその下端に達する順テーパが形成されるように、ドライエッチングによりパターニングする工程、(e)前記薄膜パターンを形成した後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程、を含み、前記フォトレジストの露光時に露光光のフォーカス条件を制御することによって、前記レジストパターンの頭部の外周部に順テーパまたは丸みを形成するものである。

【0041】(26)本発明の半導体集積回路装置の製造方法は、(a)ウエハの第一の主面上に、単一または複数の膜からなる第一の薄膜を直接または間接に形成する工程、(b)前記第一の薄膜上に、ポジ型の化学増幅型フォトレジストからなる第一のフォトレジスト膜を直接または間接に形成する工程、(c)前記第一のフォトレジスト膜を露光および現像して、前記第一の薄膜上に第一のレジストパターンを形成する工程、(d)前記第一のレジストパターンをマスクにしたドライエッチングにより前記第一の薄膜をパターニングして、前記ウエハの第一の主面上にMISFETのゲート電極を形成する工程、(e)前記ゲート電極が形成された前記ウエハの第一の主面上に、ドライエッチング時に側壁付着を起こしやすい膜を含む単一または複数の膜からなる第二の薄膜を直接または間接に形成する工程、(f)前記第二の

薄膜上に、ネガ型の化学増幅型フォトレジストからなる第二のフォトレジスト膜を直接または間接にスピン塗布する工程、(g)前記第二のフォトレジスト膜を露光および現像して、前記第二の薄膜上に、頭部の外周部に丸みを有する第二のレジストパターンを形成する工程、

(h)前記第二のレジストパターンをマスクにしたドライエッチングにより、前記第二の薄膜をパターンニングする工程、を含んでいる。

【0042】(27)本発明の半導体集積回路装置の製造方法は、(a)ウエハの第一の主面上に、単一または複数の膜からなる第一の薄膜を直接または間接に形成する工程、(b)前記第一の薄膜上に、ポジ型の化学増幅型フォトレジストからなる第一のフォトレジスト膜を直接または間接に形成する工程、(c)前記第一のフォトレジスト膜を露光および現像して、前記第一の薄膜上に第一のレジストパターンを形成する工程、(d)前記第一のレジストパターンをマスクにしたドライエッチングにより前記第一の薄膜をパターンニングして、前記ウエハの第一の主面上にMISFETのゲート電極を形成する工程、(e)前記ゲート電極が形成された前記ウエハの第一の主面上に、ドライエッチング時に側壁付着を起こしやすい膜を含む単一または複数の膜からなる第二の薄膜を直接または間接に形成する工程、(f)前記第二の薄膜上に、ポジ型の化学増幅型フォトレジストからなる第二のフォトレジスト膜を直接または間接にスピン塗布する工程、(g)前記第二のフォトレジスト膜を露光および現像して、前記第二の薄膜上に第二のレジストパターンを形成する工程、(h)前記第二のレジストパターンに紫外線を照射してその表面のみを溶解させる工程、(i)前記表面のみを溶解させた第二のレジストパターンの表面に酸性ポリマーをスピン塗布した後、前記第二のレジストパターンをベーク処理することにより、頭部の外周部に丸みを有する第二のレジストパターンを形成する工程、(j)前記第二のレジストパターンをマスクにしたドライエッチングにより、前記第二の薄膜をパターンニングする工程、を含んでいる。

【0043】(28)本発明の半導体集積回路装置の製造方法は、(a)ウエハの第一の主面上に、単一または複数の膜からなる第一の薄膜を直接または間接に形成する工程、(b)前記第一の薄膜上に、ポジ型のメタクリル酸系フォトレジストからなる第一のフォトレジスト膜を直接または間接に形成する工程、(c)前記第一のフォトレジスト膜を露光および現像して、前記第一の薄膜上に第一のレジストパターンを形成する工程、(d)前記第一のレジストパターンをマスクにしたドライエッチングにより前記第一の薄膜をパターンニングして、前記ウエハの第一の主面上にMISFETのゲート電極を形成する工程、(e)前記ゲート電極が形成された前記ウエハの第一の主面上に、ドライエッチング時に側壁付着を起こしやすい膜を含む単一または複数の膜からなる第二

の薄膜を直接または間接に形成する工程、(f)前記第二の薄膜上に、ネガ型のメタクリル酸系フォトレジストからなる第二のフォトレジスト膜を直接または間接にスピン塗布する工程、(g)前記第二のフォトレジスト膜を露光および現像して、前記第二の薄膜上に、頭部の外周部に丸みを有する第二のレジストパターンを形成する工程、(h)前記第二のレジストパターンをマスクにしたドライエッチングにより、前記第二の薄膜をパターンニングする工程、を含んでいる。

【0044】(29)本発明の半導体集積回路装置の製造方法は、(a)ウエハの主面上に、側壁付着を起こしやすい膜を含む単一または複数の膜からなる薄膜を直接または間接に形成する工程、(b)前記薄膜上にポジ型のフォトレジストを直接または間接にスピン塗布する工程、(c)前記フォトレジストを露光および現像して所定のレジストパターンを形成する工程、(d)前記レジストパターンのみがエッチングされ、かつ前記レジストパターンの頭部の角部から斜め方向に削れが進行するような条件で短時間ドライエッチングを行うことにより、前記レジストパターンの頭部の外周部に順テーパを形成する工程、(e)前記レジストパターンをマスクにしたドライエッチングにより、前記薄膜をパターンニングする工程、(f)前記薄膜をパターンニングした後、さらにオーバーエッチングを行って前記薄膜パターンの側面に残留した側壁付着膜を除去する工程、を含んでいる。

【0045】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0046】(実施の形態1)本実施の形態であるPt膜のドライエッチング方法を図1～図11を用いて説明する。

【0047】まず、図1に示すように、単結晶シリコンの半導体基板50上に酸化シリコン膜51を形成した後、その上部にバリアメタルとして膜厚20nmのTi膜52をスパッタリング法で堆積し、さらにその上部に膜厚100nmのPt膜53をスパッタリング法で堆積する。

【0048】次に、図2に示すように、Pt膜53上にスピン塗布したポジ型のフォトレジストを露光および現像し、少なくとも下側半分の側面形状がほぼ垂直で、頭部の外周部が丸くなったレジストマスク54を形成する。このような形状のレジストマスク54を形成するには、ベンゾフェノン系ノボラックレジストのように、未露光部表面の不溶化が弱い、すなわち現像液に対する未露光部の溶解性が比較的高いポジ型レジスト(東京応化工業株式会社製のポジ型レジスト「TSMR9200-B2」など)を使用して露光および現像を行う。

【0049】次に、図3に示すように、レジストマスク

54に紫外線を照射しながら約200℃の加熱処理を施す。この処理を行うと、レジストを構成する高分子の架橋反応が促進されて重合度が増す結果、レジストマスク54が硬化する。

【0050】次に、マグネトロンR I Eエッチャーを使用してP t膜53とその下層のT i膜52をドライエッチングする。このときのエッチング条件は、高真空、高パワー、高塩素流量とするのが有効であり、一例としてチャンバ内の真空度=5mTorr、RFバイアス=1200W(13.56MHz)、塩素ガス流量=40sccm、Arガス流量=10sccmとする。チャンバ内の真空度を高くすることは、反応生成物を速やかに蒸発させるのに有効である。

【0051】P t膜53のエッチングが始まると、図4に示すように、P t膜53の表面で発生した反応生成物の一部がレジストマスク54とその下部のP t膜53のそれぞれの側面に付着して側壁付着膜55を形成する。このとき、レジストマスク54の頭部が丸くなっていると、側壁付着膜55の断面形状は、下部の膜厚が厚く、上部の膜厚が薄い順テーパ状となる。

【0052】また、図5に示すように、上記した側壁付着膜55の形成と並行して、R I Eプラズマ中で発生した高エネルギーのエッチャントである塩素イオンによって側壁付着膜55がレジストごと削り取られていく。このとき、側壁付着膜55の断面形状が順テーパ状になっていることにより、その削れがスムーズに進行する。また、レジストマスク54に硬化処理を施したことにより、エッチャントによる削れ量が低減されるため、側壁付着膜55を削り取る前にレジストマスク54が消失する不具合を防止することができる。

【0053】R I Eプラズマ中で発生するもう一種のエッチャントであるArイオンは、塩素イオンに比べるとレジストを削り取る能力は低いが、エッチングレートを大きくするのに寄与している。塩素とArの流量比には最適値があり、例えば塩素の流量が少なくArの流量が多い場合、P t膜53のエッチングレートは大きくなるが、側壁付着膜55をレジストごと削り取る能力が低下するため、結果的に側壁付着膜55が残ってしまう。逆に、塩素の流量が多くてもArの流量が少なすぎる場合は、P t膜53のエッチングレートが小さくなるのでスループットが低下する。

【0054】以後、上記した図4に示す過程と図5に示す過程とが繰り返されながらP t膜53とその下層のT i膜52とがエッチングされる。図6は、T i膜52のエッチングが終了し、下地の酸化シリコン膜51の表面が露出した直後の状態を示している。このとき、レジストマスク54とP t膜53の側面には側壁付着膜55が残留している。その後、適切な量のオーバーエッチングを行って側壁付着膜55を完全に除去することにより、図7に示すようなP tパターン56が得られる。このと

きの最適なオーバーエッチング量は約15%である。

【0055】次に、非ベンゾフェノン系ノボラックレジストを用いた実験に基づいて、上記したエッチングのメカニズムをさらに詳しく説明する。

【0056】前述した未露光部表面の不溶化が弱いベンゾフェノン系ノボラックレジストとは異なり、未露光部表面の不溶化が強い非ベンゾフェノン系ノボラックレジスト(東京応化工業株式会社の「TSMR CR-N2」など)を露光、現像すると、図8(a)に示すような、頭部の外周が直角に近く、頭頂部が平らな形状のレジストマスクが得られる。次に、このレジストマスクに追加ベーク(2度ベーク)を施すと、ベーク温度に応じてその形状が変化する(同図(b)、(c)、(d))。

【0057】例えば150℃の追加ベークを行った場合、レジストマスクの側面全体に約80度の順テーパが形成される。また、170℃の追加ベークでは根元の部分はほぼ垂直(90度)となるが、頭部の外周部に約75度の順テーパが形成される。さらに、190℃の追加ベークでは半球型となる。この半球型のレジストは、根元の部分がほぼ垂直(90度)で、頭部が45度になっているといえる。

【0058】そこで、これら4種のレジストを使ってP t膜をエッチングし、さらに15%のオーバーエッチングを施したところ、追加ベークなしのものと150℃で追加ベークしたものは、いずれもP tパターンの側面に側壁付着膜が残留した。これに対し、170℃で追加ベークしたものと190℃で追加ベークしたものは、いずれも側壁付着膜のないP tパターンが得られた。

【0059】上記の実験結果から、側壁付着膜のないP tパターンを得るためには、必ずしも従来のような側面全体に順テーパを設けたレジストを用いる必要はなく、頭部のみに順テーパを設けたレジストを用いてもよいことが分かる。つまり、レジストの根元の部分の角度は、側壁付着膜の有無には影響しないといえる。前述した未露光部表面の不溶化が弱いベンゾフェノン系ノボラックレジストを使用した場合は、頭部の外周部に順テーパを設けたレジストと同等の効果が得られる形状(根元の部分がほぼ垂直で頭部が丸みを帯びた形状)が追加ベークなしで実現できるので、非ベンゾフェノン系ノボラックレジストを使用する場合に比べて工程を短縮することができる。

【0060】次に、頭部を丸くしたレジストマスクに硬化処理を施すと、P t膜のエッチングがさらに良好に行われる理由を以下のようなレジストマスクの硬化実験により説明する。

【0061】紫外線の照射と加熱は、フュージョン・セミコンダクタ・システムズ(FUSION SEMICONDUCTOR SYSTEMS)社のM150PT(version 2.0)を使用し、図9(a)に示すようなシーケンスで硬化を行った。

【0062】ステップ1：Pt膜上にレジストマスクを形成したウエハ（直径＝6インチ）を115℃で15秒加熱する。

【0063】ステップ2：115℃よりも高い温度（T℃）に向けて加熱を開始しながらUVランプをLowモードに設定し、紫外線を600mW/cm²で30秒間照射する。

【0064】ステップ3：加熱を続けながらUVランプをHighモードに設定し、紫外線を850mW/cm²で30秒間照射する。

【0065】ステップ4：温度がT℃に達したところでUVランプをOffにし、T℃の加熱をt秒間続ける。

【0066】レジストマスクは、頭部を丸くしたベンゾフェノン系ノボラックレジスト（「TSMR9200-B2」）と、頭部の周辺が直角に近い非ベンゾフェノン系ノボラックレジスト（「TSMR CR-N2」）の2種を使用し、それぞれのレジストマスクに上記シーケンスでT＝140℃～220℃、t＝15秒～60秒の処理を施した後、マグネトロンRIEエッチャーを使用してPt膜をエッチングし、さらに15%のオーバーエッチングを施した。その際、頭部を丸くしたレジストの実力を判定するために、Ptパターンの側面に反応生成物が付着し易い条件（チャンバ内の真空度＝5mTorr、RFバイアス＝800W、塩素ガス流量＝15sccm、Arガス流量＝15sccm）でエッチングを行った。ウエハの表面を図9（b）に示すような10個の領域に分け、断面SEM（走査電子顕微鏡）を使ってそれぞれの領域での側壁付着膜の有無を観察した。結果を図10に示す。図中の○印は側壁付着膜の無いところ、△印は少量の側壁付着膜が有ったところ、×印は多量の側壁付着膜が有ったところを表している。

【0067】上記の実験結果から、頭部を丸くしたレジスト（「TSMR9200-B2」）を使用した場合、加熱温度（T）が高い程、また加熱時間（t）が長い程、側壁付着膜の無い領域が増えていることが分かった。すなわち、側壁付着膜を無くするためには加熱温度（T）が高い程、また加熱時間（t）が長い程有利である。ただし、加熱温度（T）が220℃を超えるとレジストが焼けて変成してしまうため、それ以上高温にすることはできない。また別の実験から、加熱温度（T）が200℃～220℃の範囲内であっても、加熱時間（t）が15秒を超えるとやはりレジストが焼けて変成してしまうことが分かった。従って、側壁付着膜を無くするためには、加熱温度（T）＝200℃～220℃、加熱時間（t）＝15秒が最適である。

【0068】なお、図から明らかなように、頭部の周辺が直角に近い非ベンゾフェノン系ノボラックレジスト（「TSMR CR-N2」）を使用した場合、加熱温度（T）を高くしても加熱時間（t）を長くしても、側壁付着膜を無くすることはできなかった。但し

別の実験から、この非ベンゾフェノン系ノボラックレジストを露光、現像した後、追加ベークを行って頭部のみにテーパーを形成した場合は、頭部を丸くしたレジストとほぼ同等の結果が得られた。

【0069】次に、頭部を丸くしたレジストマスクを使った場合と、側面全体に約75度のテーパーを形成したレジストマスクを使った場合のPtパターンの相違を図11を用いて説明する。

【0070】まず、頭部を丸くしたレジストマスク（A1）を使った場合は、前述したように、Pt膜のエッチングが始まるとレジストマスク（およびその下部のPt膜）の側面に順テーパー状の側壁付着膜が形成される（A2）。そのため、エッチングが進行してもレジストマスクの現像寸法と根元付近の形状が変化することはない（A3）。エッチングの進行中、側壁付着膜の上部近傍では塩素イオンによって側壁付着膜がレジストごと削り取られていく。また、側壁付着膜のテーパー状となった箇所表面も塩素イオンなどのエッチャントによって削り取られていく。Pt膜の下層のTi膜がエッチングされた時（ジャストエッチング時）には側壁付着膜が残留しているが、その後に適切な量のオーバーエッチングを行うことにより、側壁付着膜のないPtパターンが得られる（A4）。このとき、側壁付着膜の断面形状が順テーパー状になっていることにより、その削れがスムーズに進行する。得られたPtパターンの最上部の寸法は、レジストマスクの現像寸法と変わりはないが、側面にテーパーが形成されるために最下部の寸法はレジストマスクの現像寸法よりも若干大きくなる。

【0071】他方、側面全体に75度のテーパーを設けたレジストマスク（B1）を使った場合は、レジストマスクの側面に反応生成物が付着する速度よりもエッチャントによって削り取られる速度の方が大きくなるので、側壁付着膜は形成されない（B2）。そのため、エッチングが進行するにつれてレジストマスクの上部だけでなく側面も削られていく。またこれに伴って、Ptパターンの側面にもテーパーが形成されていく（B3）。その結果、エッチングの終了時には、Ptパターンの最上部の寸法はレジストマスクの現像寸法よりも小さくなり、最下部の寸法は現像寸法よりも大きくなる。また、Ptパターンの側面には大きな角度のテーパーが形成される（B4）。

【0072】このように、頭部を丸くしたレジストマスクを使った場合と、側面全体に約75度のテーパーを形成したレジストマスクを使った場合は、共にPtパターンの側面にテーパーが形成されるが、側面全体にテーパーを形成したレジストマスクを使った場合はより大きな角度のテーパーが形成されるので、パターン寸法が微細になったときには所望の寸法を得ることが難しくなる。従って、微細なPtパターンを高い寸法精度で形成するためには、側面全体にテーパーを設けたレジストマスクを用いる

よりも、頭部を丸くしたレジストマスク（または、頭部のみに順テーパを形成したレジストマスク）を用いる方がよい。

【0073】次に、半導体メモリの一種であるDRAMの製造方法に適用した本実施の形態の製造方法を図12～図33を用いて説明する。

【0074】図12は、DRAMのメモリセルのレイアウトを示す平面図である。このDRAMのメモリセルは、2交点セルと、情報蓄積用容量素子をビット線の上に配置するCOB(Capacitor Over Bitline)構造とを採用している。各メモリセルのトランジスタ（メモリセル選択用MISFET）は、ビット線BLを介して周辺回路に接続されている。ビット線BLは、接続孔14を通じてメモリセル選択用MISFETの半導体領域8（ソース領域、ドレイン領域）の一方に接続されている。メモリセル選択用MISFETの動作は、ワード線WL（ゲート電極6）により制御される。このワード線WL（ゲート電極6）は、周辺回路に接続されている。ビット線BLの上に配置された情報蓄積用容量素子Cは、接続孔13を通じてメモリセル選択用MISFETの半導体領域8（ソース領域、ドレイン領域）の他方に接続されている。情報蓄積用容量素子Cは、プレート電極26を介して周辺回路に接続されている。

【0075】この平面レイアウトの第一の特徴は、2本のワード線WLに対して1本のプレート電極26を配置したことである。このようなレイアウトとすることにより、プレート電極26の容量を通常のDRAMよりも小さくできるので、プレート電極26の電位を周辺回路で制御することが容易になる。プレート電極26の本数は、1本のワード線WLに対して1本にしてもよいし、3本のワード線WLに対して1本にしてもよい。ただし、ワード線WLに対するプレート電極26の本数が多くなると集積度を上げるのが難しくなり、逆に少なくなるとプレート電極26の容量が大きくなって周辺回路による制御が難しくなる。プレート電極26の本数は、DRAMの用途によってその最適数が変わってくる。

【0076】この平面レイアウトの第2の特徴は、プレート電極26をワード線WL（ゲート電極6）と同一方向に延在したことである。これにより、プレート電極26の電位を周辺回路で制御する際に、その電位をワード線WLの電位に同期させて制御することが可能となる。

【0077】このDRAMのメモリセルを製造するには、まず図13（図12のA-A'線に沿った断面図）に示すように、p⁻型の単結晶シリコンからなる半導体基板1を用意し、その表面に選択酸化（LOCOS）法でフィールド酸化膜2を形成した後、半導体基板1にp型不純物（B）をイオン注入してp型ウエル3を形成する。続いて、p型ウエル2にp型不純物（B）をイオン注入してp型チャネルストッパ層4を形成した後、フィールド酸化膜2で囲まれたp型ウエル3の活性領域の表

面に熱酸化法でゲート酸化膜5を形成する。

【0078】次に、図14に示すように、メモリセル選択用MISFETのゲート電極6（ワード線WL）を形成する。ゲート電極6（ワード線WL）は、例えば半導体基板1上にCVD法で多結晶シリコン膜を堆積し、次いでスパッタリング法でTiN膜とW膜とを堆積し、さらにキャップ絶縁膜となる窒化シリコン膜7をプラズマCVD法で堆積した後、フォトリソをマスクにしたエッチングでこれらの膜をパターンニングして形成する。ゲート電極6（ワード線WL）の一部を構成する多結晶シリコン膜には、その抵抗値を低減するためにn型の不純物（P）をドーピングする。ここでゲート電極6（ワード線WL）の形成に使用するレジストは、頭部の周辺が直角に近い非ベンゾフェノン系ノボラックレジストである。

【0079】次に、図15に示すように、p型ウエル2にn型不純物（P）をイオン注入してゲート電極6（ワード線WL）の両側のp型ウエル2にメモリセル選択用MISFETのn型半導体領域8、8（ソース領域、ドレイン領域）を形成した後、図16に示すように、ゲート電極6（ワード線WL）の側面にサイドウォールスペーサ9を形成する。サイドウォールスペーサ9は、ゲート電極6（ワード線WL）の上部にプラズマCVD法で堆積した窒化シリコン膜を異方性エッチングで加工して形成する。

【0080】次に、図17に示すように、メモリセル選択用MISFETの上部にCVD法で酸化シリコン膜10とBPSG(Boron-doped Phospho Silicate Glass)膜11とを堆積した後、化学的機械研磨（Chemical Mechanical Polishing; CMP）法でBPSG膜11を研磨してその表面を平坦化する。

【0081】次に、図18に示すように、BPSG膜11上にCVD法で多結晶シリコン膜12を堆積した後、頭部の周辺が直角に近い非ベンゾフェノン系ノボラックレジストをマスクにして多結晶シリコン膜12、BPSG膜11、酸化シリコン膜10およびゲート酸化膜5をエッチングすることにより、メモリセル選択用MISFETのソース領域、ドレイン領域の一方（n型半導体領域8）の上部に接続孔13を形成し、他方（n型半導体領域8）の上部に接続孔14を形成する。このとき、メモリセル選択用MISFETのゲート電極6（ワード線WL）の上部に形成された窒化シリコン膜7と側面に形成された窒化シリコンのサイドウォールスペーサ9は、わずかにエッチングされるだけなので、接続孔13、14とゲート電極6（ワード線WL）との合わせ余裕を設けなくとも、微細な径の接続孔13、14が自己整合（セルフアライン）で形成できる。

【0082】次に、図19に示すように、接続孔13、14の内部に多結晶シリコンのプラグ15を埋め込む。このプラグ15は、前記多結晶シリコン膜12の上部に

CVD法で多結晶シリコン膜を堆積し、この多結晶シリコン膜と多結晶シリコン膜12とをエッチバックで除去して形成する。プラグ15を構成する多結晶シリコン膜にはn型の不純物(P)をドーピングする。プラグ15は多結晶シリコンの他、例えばTiN、W、Ti、Taなどを埋め込んで形成してもよい。

【0083】次に、図20に示すように、BPSG膜11の上部にCVD法で酸化シリコン膜16を堆積し、次いで頭部の周辺が直角に近い非ベンゾフェノン系ノボラックレジストをマスクにしたエッチングで接続孔14の上部の酸化シリコン膜16を除去した後、図21に示すように、接続孔14の上部にビット線BLを形成する。ビット線BLは、酸化シリコン膜16の上部にスパッタリング法でTiN膜とW膜とを堆積し、さらにキャップ絶縁膜となる窒化シリコン膜17をプラズマCVD法で堆積した後、同じく頭部の周辺が直角に近い非ベンゾフェノン系ノボラックレジストをマスクにしたエッチングでこれらの膜をパターンニングして形成する。

【0084】次に、図22に示すように、ビット線BLの側面にサイドウォールスペーサ18を形成する。サイドウォールスペーサ18は、ビット線BLの上部にプラズマCVD法で堆積した窒化シリコン膜を異方性エッチングで加工して形成する。

【0085】次に、図23に示すように、ビット線BLの上部にCVD法で膜厚300nm程度のBPSG膜19を堆積してリフローした後、頭部の周辺が直角に近い非ベンゾフェノン系ノボラックレジストをマスクにしてBPSG膜19および酸化シリコン膜16をエッチングすることにより、メモリセル選択用MISFETQのソース領域、ドレイン領域の他方(n型半導体領域8)の上部に形成された前記接続孔13の上部に接続孔20を形成する。このとき、ビット線BLの上部の窒化シリコン膜17および側面のサイドウォールスペーサ18がエッチングストップとなるので、接続孔20は、前記接続孔13、14と同様、自己整合(セルフアライン)で形成される。

【0086】次に、図24に示すように、接続孔20の内部にプラグ21を埋め込む。プラグ21は、BPSG膜19の上部に例えばスパッタリング法でTiN膜とW膜とを堆積した後、これらの膜をエッチバックして形成する。プラグ21は多結晶シリコン、TiN、W、Ti、Taなどを埋め込んで形成することもできる。

【0087】次に、プラグ21の上部に情報蓄積用容量素子を形成する。情報蓄積用容量素子を形成するには、まず図25に示すように、BPSG膜19の上部にスパッタリング法などを用いてバリアメタル22を堆積した後、バリアメタル22の上部にスパッタリング法で膜厚175nm程度のPt膜23aを堆積する。このバリアメタル22は必ずしも必要ではないが、情報蓄積用容量素子の下部電極材料(Pt)の拡散を抑えるのに有効であ

る。バリアメタル22の材料としてはTiNやTiなどを使用し、膜厚は20nm程度とする。

【0088】次に、図26に示すように、Pt膜23aの上部に情報蓄積用容量素子の容量絶縁膜24を堆積した後、容量絶縁膜24の上部に情報蓄積用容量素子の上部電極材料であるPt膜25aを堆積する。容量絶縁膜24は強誘電体材料であるPZTをスパッタリング法で堆積し、膜厚は250nm程度とする。Pt膜25aはスパッタリング法で堆積し、膜厚は100nm程度とする。容量絶縁膜24の材料によっては、成膜後に必要に応じて結晶化熱処理を行う。

【0089】本実施の形態では、情報蓄積用容量素子の電極材料としてPtを使用し、容量絶縁膜材料としてPZTBSTを使用する場合について説明するが、これによって本発明が限定されるものではない。

【0090】不揮発性RAMなどへの適用も考慮すると、電極材料としてはPtの他、Ir、IrO₂、Rh、RhO₂、Os、OsO₂、Ru、RuO₂、Re、ReO₃、Pd、Auあるいはこれらの積層膜を用いることができる。RuO₂やIrO₂などはMOCVD法を用いて堆積することにより、カバレッジの良好な薄膜を形成することができる。また、その上部に酸素に対するバリア性の高いRu、Irなどを積層することにより、膜の耐酸化性を向上させることができる。さらに、容量絶縁膜の界面での酸化を抑えることができれば、上部電極材料としてW、Al、TiN、Ta、Cu、Agあるいはこれらの積層膜などを用いることもできる。

【0091】容量絶縁膜材料としてはPZTの他、CVD法で堆積するTa₂O₅、酸化シリコンあるいは窒化シリコンなどを用いてもよい。また各種強誘電体材料、例えばPbZrO₃、LiNbO₃、Bi₄Ti₃O₁₂、BaMgF₄、PLZT、BST((Ba, Sr)TiO₄)、Y₁系(SrBi₂(Nb, Ta)₂O₉)などを用いることもできる。これらの強誘電体材料はスパッタリング法の他、MOCVD法、ゾルーゲル法、レーザーアブレーション法などを用いて堆積することができる。

【0092】次に、図27に示すように、上部電極材料であるPt膜25aの上部にベンゾフェノン系ノボラックレジストをスピン塗布して露光、現像を行い、頭部の外周部が丸みを帯びたレジストマスク27を形成した後、このレジストマスク27に紫外線を照射しながら約200℃まで加熱して硬化させる。

【0093】あるいは、非ベンゾフェノン系ノボラックレジストを露光、現像して頭部の外周部が直角に近いレジストマスクを形成し、このレジストマスクに追加ベーク(2度ベーク)を施して頭部のみにテーパーを形成した後、さらに紫外線を照射しながら加熱して硬化させてもよい。

【0094】次に、図28に示すように、マグネトロンRIEエッチャーを使用し、レジストマスク27で覆われていない領域のPt膜25a、容量絶縁膜24、Pt膜23aおよびバリアメタル22を順次ドライエッチングすることにより、バリアメタル22上にPt膜23aからなる下部電極23とPZT膜からなる容量絶縁膜24とPt膜25aからなる上部電極25とを積層した情報蓄積容量素子（キャパシタ）Cを形成する。

【0095】Pt膜25a、容量絶縁膜24およびPt膜23aのエッチングは、異なるレジストマスクを用いて個別に行ってもよい。この場合は、レジストマスク27を使ってPt膜25aをドライエッチングすることにより上部電極25を形成した後、このレジストマスク27をアッシングで除去し、次いでベンゾフェノン系ノボラックレジストをスピン塗布して露光、現像を行い、頭部の外周部が丸みを帯びた第2のレジストマスクを形成した後、このレジストマスクを上記の方法で硬化させる。

【0096】次に、第2のレジストマスクを使って容量絶縁膜24をドライエッチングした後、このレジストマスクをアッシングで除去し、次いでベンゾフェノン系ノボラックレジストをスピン塗布して露光、現像を行い、頭部の外周部が丸みを帯びた第3のレジストマスクを形成した後、このレジストマスクを上記の方法で硬化させる。次に、第3のレジストマスクを使ってPt膜23aとバリアメタル22とをドライエッチングすることにより下部電極23を形成した後、このレジストマスクをアッシングで除去する。

【0097】その後、レジストマスク27と情報蓄積用容量素子（キャパシタ）Cの側面に残った側壁付着膜5を除去するためのオーバーエッチングを行う。

【0098】図29は、PZTからなる容量絶縁膜24上のPt膜25a（膜厚100nm）をエッチングした際のプラズマ光の強度変化を示すグラフである。横軸の0～ t_1 はPt膜25aがエッチングされている時間、 t_1 ～ t_2 は下地の容量絶縁膜24が露出し始めてから全面に露出する（Pt膜25aが完全に消失する）までに要する時間、 t_2 ～ t_3 はオーバーエッチングに要する時間である。

【0099】ここで、時間 t_2 をジャストエッチング時間、 t_3 ～ t_2 （＝ t_{OE} ）をオーバーエッチング時間、時間 t_3 をトータルエッチング時間と定義すると、適切なオーバーエッチング時間（ t_{OE} ）は、 t_2 の15%に相当する時間（ $t_2 \times 0.15$ ）である。すなわち、膜厚100nmのPt膜25aのジャストエッチング時間（ t_2 ）が例えば5.2秒であれば、オーバーエッチング時間（ t_{OE} ）を $5.2 \times 0.15 = 0.78$ 秒とする。この場合、トータルエッチング時間（ t_3 ）は $5.2 + 0.78 = 5.98$ 秒となる。

【0100】図30は、Pt膜23a上の容量絶縁膜

（PZT膜）24（膜厚250nm）をエッチングした際のプラズマ光（波長406nm）の強度変化を示すグラフである。容量絶縁膜24の適切なオーバーエッチング時間（ t_{OE} ）は、 t_2 の10%に相当する時間（ $t_2 \times 0.1$ ）である。すなわち、膜厚250nmの容量絶縁膜24のジャストエッチング時間（ t_2 ）が例えば5.4秒であれば、オーバーエッチング時間（ t_{OE} ）を $5.4 \times 0.1 = 0.54$ 秒とする。この場合、トータルエッチング時間（ t_3 ）は $5.4 + 0.54 = 5.94$ 秒となる。

【0101】図31は、BPSG膜19上のPt膜23a（膜厚175nm）をエッチングした際のプラズマ光の強度変化を示すグラフである。横軸の0～ t_1 はPt膜23aがエッチングされている時間、 t_1 ～ t_2 は下地のバリアメタル22が露出し始めてから全面に露出する（Pt膜23aが完全に消失する）までに要する時間（ジャストエッチング時間）、 t_2 ～ t_3 はオーバーエッチングに要する時間である。このとき、Pt膜23aのジャストエッチング時間（ t_2 ）が例えば7.1秒であれば、オーバーエッチング時間（ t_{OE} ）を $7.1 \times 0.15 = 1.065$ 秒とする。この場合、トータルエッチング時間（ t_3 ）は $7.1 + 1.065 = 8.165$ 秒となる。

【0102】次に、情報蓄積用容量素子Cの上に残ったレジストマスク27をアッシングで除去した後、図32に示すように、情報蓄積用容量素子Cを保護するためにリフロー性の絶縁膜であるBPSG膜28を堆積し、化学的機械研磨（CMP）法でその表面を平坦化して上部電極25の表面を露出させる。この場合、完全な平坦化は必須ではないが、後の工程でこの上部に形成する配線の信頼性を高めるためには、BPSG膜28を極力平坦化しておくことが望ましい。また、情報蓄積用容量素子Cの保護効果を高めるために、情報蓄積用容量素子Cの構成材料と相性のよいTi、Sr、Baなどの酸化物からなる薄膜を堆積した後にBPSG膜28を堆積してもよい。さらに、BPSG膜28に代えて有機Siガスをを用いたCVD・酸化シリコン膜を用いてもよく、ポリイミド樹脂などの有機系絶縁物を用いてもよい。絶縁膜の平坦化はCMP法に代えてエッチバック法で行ってもよいし、情報蓄積用容量素子Cによる段差が小さい場合には、特に行わなくともよい。

【0103】次に、図33に示すように、BPSG膜28の上部に複数のメモリセルに共通のプレート電極26を形成する。プレート電極材料としては、多結晶シリコン膜やW膜など、従来のシリコンLSIプロセスで用いられている各種導電材料を使用することができる。下地が十分に平坦化されている場合にはスパッタリング法で成膜可能な導電材料を使用し、下地に段差がある場合にはCVD法で成膜可能な導電材料を使用するようにする。

【0104】以上の工程により、本実施の形態のDRAMのメモリセルが略完成する。実際のDRAMは、プレ

ート電極26の上部にさらに2層程度の配線を形成してメモリセルと周辺回路とを接続する必要があること、また半導体基板1を樹脂などでパッケージングする必要があることはいうまでもない。

【0105】(実施の形態2)図34は、本実施の形態のDRAMのメモリセルのレイアウトを示す平面図である。このDRAMのメモリセルは、2交点セルと、情報蓄積用容量素子をビット線の上に配置するCOB構造とを採用している。各メモリセルのトランジスタ(メモリセル選択用MISFET)は、ビット線BLを介して周辺回路に接続されている。ビット線BLは、接続孔14を通じてメモリセル選択用MISFETの半導体領域8(ソース領域、ドレイン領域)の一方に接続されている。メモリセル選択用MISFETの動作は、ワード線WL(ゲート電極6)により制御される。このワード線WL(ゲート電極6)は、周辺回路に接続されている。ビット線BLの上部に配置された情報蓄積用容量素子Cは、接続孔13を通じてメモリセル選択用MISFETの半導体領域8(ソース領域、ドレイン領域)の他方に接続されている。情報蓄積用容量素子Cは、プレート電極26を介して周辺回路に接続されている。

【0106】この平面レイアウトの第一の特徴は、1本のビット線BLに対して1本のプレート電極26を配置したことである。このようなレイアウトとすることにより、プレート電極26の容量を通常のDRAMよりも小さくできるので、プレート電極26の電位を周辺回路で制御することが容易になる。プレート電極26の本数は、2本またはそれ以上の本数のビット線BLに対して1本にしてもよい。ただし、ビット線BLに対するプレート電極26の本数が少なくなるとプレート電極26の容量が大きくなって周辺回路による制御が難しくなる。プレート電極26の本数は、DRAMの用途によってその最適数が変わってくる。

【0107】この平面レイアウトの第2の特徴は、プレート電極26をビット線BLと同一方向に延在したことである。これにより、プレート電極26の電位を周辺回路で制御する際に、その電位をビット線BLの電位に同期させて制御することが可能となる。

【0108】本実施の形態のDRAMのメモリセルも、前記実施の形態1と同様の方法によって製造することができる。

【0109】(実施の形態3)図35は、本実施の形態のDRAMのメモリセルのレイアウトを示す平面図である。

【0110】この平面レイアウトの特徴は、面積を大きくした1つのプレート電極26で情報蓄積用容量素子Cを制御することである。このようなレイアウトとすることにより、DRAM動作に必要な基準電位を情報蓄積用容量素子Cに印加することが容易になる。また、周辺回路の駆動能力を十分に大きくすれば、不揮発性RAMと

しての動作も可能である。このプレート電極26で制御する情報蓄積用容量素子Cの数は、メモリの用途により調整すればよい。

【0111】図36は、図35のA-A'線に沿った断面図である。本実施の形態のDRAMのメモリセルの構造および製造方法は、プレート電極26を除いた他は、前記実施の形態1のDRAMのメモリセルと基本的に同じである。プレート電極26の加工は前記実施の形態1と同様の方法で行い、必要な大きさに調整すればよい。

【0112】(実施の形態4)本実施の形態のメモリセルの構造について、図37を用いて説明する。同図は、1トランジスタ1キャパシタ型メモリの、キャパシタまでを作成した段階を示す断面図である。キャパシタの容量絶縁膜24には強誘電体材料であるPZTを用い、キャパシタの下部電極23および上部電極25にはPtを用いている。

【0113】このメモリは、半導体基板1上のフィールド酸化膜2によってトランジスタを電気的に分離する。トランジスタは、半導体領域8(ソース領域、ドレイン領域)と多結晶シリコンのゲート電極6とその下部のゲート酸化膜5とで構成されるMISFETである。このMISFETの上部をBPSG膜11を用いて平坦化した後にキャパシタを形成する。キャパシタとMISFETとは、BPSG膜11の一部に埋め込んだ多結晶シリコンのプラグ15によって電気的に接続される。キャパシタは、Ptの下部電極23上に形成される立体型キャパシタであり、PZTの容量絶縁膜24をこの下部電極23の上部に形成し、容量絶縁膜24の上部にPtの上部電極25を形成して立体型キャパシタを構成する。また、下部電極23からPtがプラグ15中に拡散するのを抑えるために、下部電極23とプラグ15との間にTiNのバリアメタル22を設けている。

【0114】実際にメモリとして動作させるためには、この図に示すものの他に、配線(通常は上部電極25の上部に2層程度の配線が必要である)と、メモリ動作を制御して外部と信号をやり取りするための周辺回路とが必要であるが、これらは公知の構造であり本実施の形態とは直接関係ないので省略する。

【0115】本実施の形態のキャパシタも前記実施の形態1と同様の方法で形成することができる。

【0116】(実施の形態5)本実施の形態のメモリセルの製造方法について、図38を用いて説明する。

【0117】本実施の形態では、下部電極23を形成した後にBPSG膜28による平坦化処理を行い、その後PZTの容量絶縁膜24およびPtの上部電極25を形成する。それ以外は前記実施の形態4の製造方法と同じである。このような立体型キャパシタも、前記実施の形態1の製造方法に準じて製造することができる。

【0118】(実施の形態6)前述したベンゾフェノン系ノボラックレジストと非ベンゾフェノン系ノボラック

レジストは、いずれもフォトリソの露光時に露光光のフォーカス条件を制御することによって、レジストパターンの頭部の外周部に順テーパまたは丸みを形成することができる。本実施の形態では、「TSMR9200-B2」（ベンゾフェノン系ノボラックレジスト）と「TSMR CR-N2」（非ベンゾフェノン系ノボラックレジスト）を使用し、次の露光条件で露光を行うことにより、レジストパターンの頭部の外周部に丸みを形成した。

【0119】縮小投影露光装置はキャノン製の「FPA1550M3」、コーターおよびデベロッパーは日立製の「PHOTO MAX1600」をそれぞれ使用し、露光時間60秒、露光後ベーク（P・E・B）110℃／120秒の露光条件でフォーカスオフセットを変えながら露光を行った後、現像液「NMD-3/2, 38%」を使用して現像を行い、図39に示す結果を得た。ここで、フォーカスオフセットとは、ベストフォーカスが得られるレンズとウエハとの距離を0としたときに、その点からの距離を変えるという操作に対応するもので、これによってフォーカスが変わるためにレジストの断面形状を変えることができる。

【0120】図示のように、「TSMR9200-B2」は、いずれのフォーカス条件でもレジストパターンの頭部が丸くなったが、フォーカスオフセットが±0〜+1.0μmのときにレジストパターンの根元の角度が90℃に近くなり、最も微細加工に適した形状となった。また、「TSMR CR-N2」の場合は、フォーカスオフセットが-1.5μm以下のときにレジストパターンの頭部が丸くなった。

【0121】上記した方法は、ベンゾフェノン系ノボラックレジストや非ベンゾフェノン系ノボラックレジストのみならず、KrFエキシマレーザ（波長245nm）やX線（波長〜1nm）によって感光する化学増幅系レジスト（例えばポリヒドロキシシチレン；PHS）や、ArFエキシマレーザによって感光する、脂肪環を主成分とするレジストなどを用いてレジストパターンの頭部に丸みや順テーパを形成する場合に適用することができる。

【0122】（実施の形態7）ポジ型化学増幅系レジストは、次の方法を用いてレジストパターンの頭部に丸みを形成することができる。

【0123】まず図40に示すように、半導体基板50上に酸化シリコン膜51を形成した後、その上部にバリアメタルとしてTi膜52を堆積し、さらにその上部にPt膜53を堆積する。

【0124】次に、図41に示すように、Pt膜53上にスピン塗布したポジ型の化学増幅系レジスト（例えばPHS）を露光および現像し、頭部の外周部が直角に近いレジストマスク54を形成する。

【0125】次に、上記のレジストマスク54に短波長光、例えば波長200nm程度の紫外線（deep UV）を照射

すると、図42に示すように、レジストマスク54の表面のみに紫外線が吸収されてその領域のみが溶解する。

【0126】次に、図43に示すように、レジストマスク54の表面に酸性ポリマーをスピン塗布し、次いでベーク処理を行うことにより、レジストマスク54の頭部に丸みが形成される。

【0127】他方、ネガ型化学増幅系レジスト、例えばノボラック樹脂と酸発生剤とヘキサメチロールメラミンなどの架橋剤とからなる3成分系のネガ型化学増幅系レジストの場合は、アルカリ水溶液による現像液でネガパターンを形成した後、X線で感光することにより、レジストマスクの頭部に丸みが形成される。

【0128】（実施の形態8）上記したノボラックレジストや化学増幅系レジストは、レジストパターン形成後に、前処理エッチングとしてライトエッチングを行うことによってパターンの頭部のみに順テーパを形成することができる。

【0129】この場合は、まず図44に示すように、半導体基板50上に酸化シリコン膜51を形成した後、その上部にバリアメタルとしてTi膜52を堆積し、さらにその上部にPt膜53を堆積する。

【0130】次に、図45に示すように、Pt膜53上に、例えば非ベンゾフェノン系ノボラックレジストをスピン塗布した後、通常の露光および現像を行って頭部の外周部が直角に近いレジストマスク54を形成する。

【0131】次に、図46に示すように、Pt膜53のエッチングに先立ってレジストマスク54の表面のみを軽くエッチングする。エッチング装置は例えばRIEエッチャーを用い、エッチング条件は例えばチャンバ内の真空度=30mTorr、RFパワー=100W、O₂（またはCF₄）ガス流量=100sccm、エッチング時間=20秒とする。このような低パワーのエッチングではPt膜53はエッチングされず、レジストマスク54の表面のみがエッチングされ、しかもレジストマスク54の頭部の角部から斜め方向に削れが進行する。従って、エッチング時間を数十秒程度の短時間とすることにより、図47に示すように、レジストマスク54の頭部のみに順テーパを形成することができる。このライトエッチングを行うエッチング装置はプラズマエッチャーであればいかなる方式のものでもよく、例えばバレル型エッチャーでもよい。

【0132】（実施の形態9）例えば設計ルールが0.2μm以下の超微細パターンを形成する場合は、エッチング耐性向上のためにアダマンタンなどの脂肪環を含む炭化水素基を加えたメタクリル酸系レジストや、電子ビーム（EB）直描用のレジスト（ノボラックレジストまたはPHSなどの化学増幅系レジスト）が使われる。メタクリル酸系レジストの場合は、ネガ型のレジストを用いることによってレジストマスクの頭部に丸みを形成することができる。また、電子ビーム用レジストの場合は、

電子ビームの露光量をコントロールすることによって、レジストマスクの頭部に丸みを形成することができる。

【0133】以上、本発明者によってなされた発明を実施の形態に基づいて具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0134】本発明のエッチング方法は、マグネトロンRIE方式のプラズマエッチング装置を用いたエッチングに限定されるものではなく、ECR、ヘリコン、ICP、TCPなど各種方式のプラズマエッチング装置を用いたエッチングに適用することができる。

【0135】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0136】本発明の製造方法によれば、半導体基板上に堆積した薄膜をドライエッチングする際に、蒸気圧の低い反応生成物がパターンの側面に付着するのを確実に防止することができるので、半導体集積回路装置の製造歩留まりを向上させることができる。また、微細な薄膜パターンを高い寸法精度で形成することができるので、半導体集積回路装置の微細化を推進することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1であるP_t膜のドライエッチング方法を示す半導体基板の要部断面図である。

【図2】本発明の実施の形態1であるP_t膜のドライエッチング方法を示す半導体基板の要部断面図である。

【図3】本発明の実施の形態1であるP_t膜のドライエッチング方法を示す半導体基板の要部断面図である。

【図4】本発明の実施の形態1であるP_t膜のドライエッチング方法を示す半導体基板の要部断面図である。

【図5】本発明の実施の形態1であるP_t膜のドライエッチング方法を示す半導体基板の要部断面図である。

【図6】本発明の実施の形態1であるP_t膜のドライエッチング方法を示す半導体基板の要部断面図である。

【図7】本発明の実施の形態1であるP_t膜のドライエッチング方法を示す半導体基板の要部断面図である。

【図8】レジストマスクの形状と、P_tパターンの側面に付着する反応生成物の量との関係を示す説明図である。

【図9】(a)は紫外線照射と加熱のシーケンスを示すフロー図、(b)は側面付着膜の有無を確認する領域を表示したウエハの平面図である。

【図10】レジストマスクの硬化処理と、P_tパターンの側面に付着する反応生成物の量との関係を示す説明図である。

【図11】レジストマスクの形状と、P_tパターン寸法との関係を示す説明図である。

【図12】本発明の実施の形態1であるDRAMのレイ

アウトを示す平面図である。

【図13】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図14】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図17】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図18】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図19】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図20】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図21】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図22】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図23】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図24】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図25】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図26】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図27】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図28】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図29】PZT膜上のP_t膜をエッチングした際のプラズマ光の強度変化を示すグラフである。

【図30】P_t膜上のPZT膜をエッチングした際のプラズマ光の強度変化を示すグラフである。

【図31】BPSG膜上のP_t膜をエッチングした際のプラズマ光の強度変化を示すグラフである。

【図32】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図33】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図34】本発明の実施の形態2であるDRAMのレイアウトを示す平面図である。

【図35】本発明の実施の形態3であるDRAMのレイアウトを示す平面図である。

【図36】図35のA-A'線に沿った断面図である。

【図37】本発明の実施の形態4であるメモリセルの製造方法を示す半導体基板の要部断面図である。

【図38】本発明の実施の形態5であるメモリセルの製造方法を示す半導体基板の要部断面図である。

【図39】本発明の実施の形態6におけるフォーカス制御とレジスト断面形状との関係を示す説明図である。

【図40】本発明の実施の形態7であるレジストパターンの形成方法を示す半導体基板の要部断面図である。

【図41】本発明の実施の形態7であるレジストパターンの形成方法を示す半導体基板の要部断面図である。

【図42】本発明の実施の形態7であるレジストパターンの形成方法を示す半導体基板の要部断面図である。

【図43】本発明の実施の形態7であるレジストパターンの形成方法を示す半導体基板の要部断面図である。

【図44】本発明の実施の形態8であるレジストパターンの形成方法を示す半導体基板の要部断面図である。

【図45】本発明の実施の形態8であるレジストパターンの形成方法を示す半導体基板の要部断面図である。

【図46】本発明の実施の形態8であるレジストパターンの形成方法を示す半導体基板の要部断面図である。

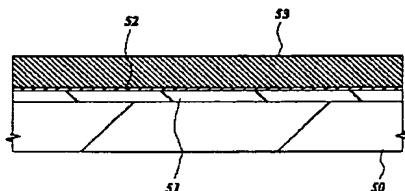
【図47】本発明の実施の形態8であるレジストパターンの形成方法を示す半導体基板の要部断面図である。

【符号の説明】

- | | |
|-----------------------|--------------------|
| 1 半導体基板 | 11 BPSG膜 |
| 2 フィールド酸化膜 | 12 多結晶シリコン膜 |
| 3 p型ウエル | 13 接続孔 |
| 4 p型チャネルストップ層 | 14 接続孔 |
| 5 ゲート酸化膜 | 15 プラグ |
| 6 ゲート電極 | 16 酸化シリコン膜 |
| 7 窒化シリコン膜 | 17 窒化シリコン膜 |
| 8 半導体領域（ソース領域、ドレイン領域） | 18 サイドウォールスペーサ |
| 9 サイドウォールスペーサ | 19 BPSG膜 |
| 10 酸化シリコン膜 | 20 接続孔 |
| | 21 プラグ |
| | 22 バリアメタル |
| | 23 下部電極 |
| | 23a Pt膜 |
| | 24 容量絶縁膜 |
| | 25 上部電極 |
| | 25a Pt膜 |
| | 26 プレート電極 |
| | 27 レジストマスク |
| | 28 BPSG膜 |
| | 50 半導体基板 |
| | 51 酸化シリコン膜 |
| | 52 Ti膜 |
| | 53 Pt膜 |
| | 54 レジストマスク |
| | 55 側壁附着膜 |
| | 56 Ptパターン |
| | C 情報蓄積用容量素子（キャパシタ） |
| | BL ビット線 |
| | WL ワード線 |

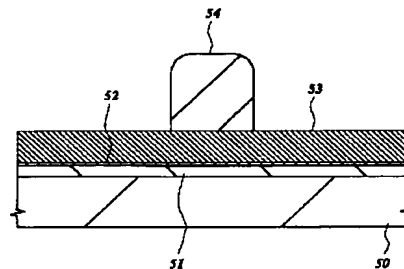
【図1】

図 1

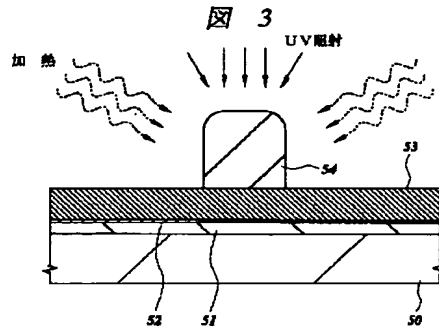


【図2】

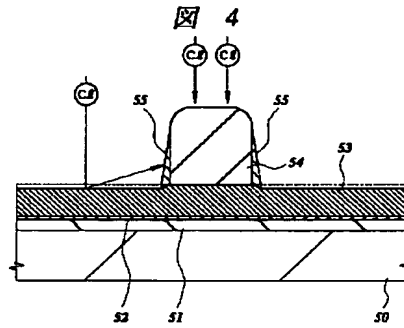
図 2



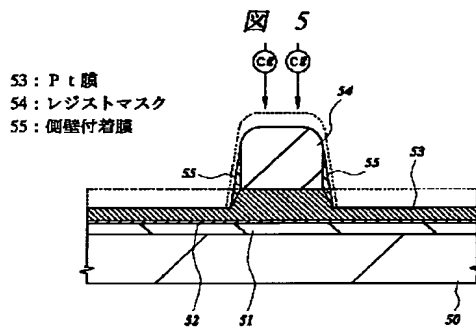
【図3】



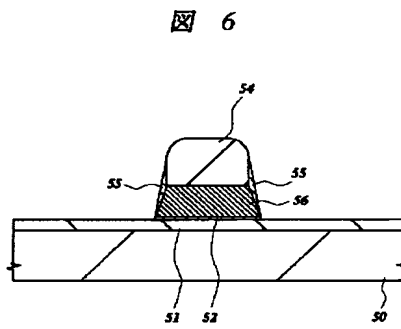
【図4】



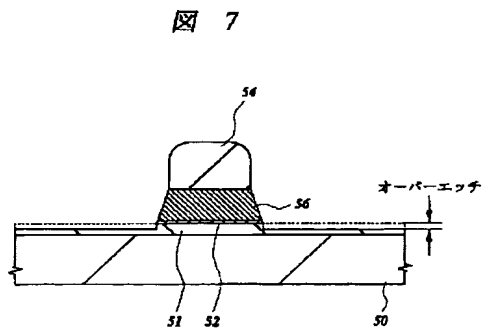
【図5】



【図6】



【図7】



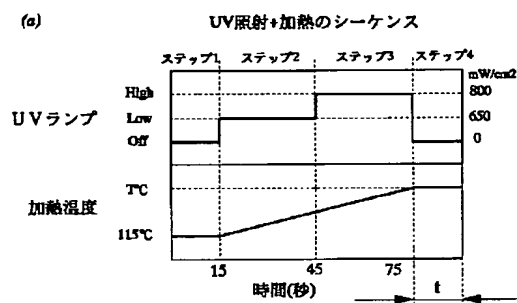
【図8】

図 8

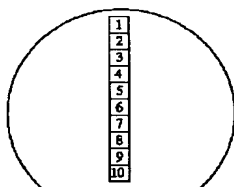
追加 ベーク 強度	(a) 追加ベーク無し	(b) 150℃	(c) 175℃	(d) 190℃
エッチング前	レジスト ~90° Pt	レジスト 80° Pt	レジスト ~75° 90° Pt	レジスト 45° 90° Pt
オーバーエッチ	側壁付着あり	側壁付着あり	側壁付着なし	側壁付着なし
特徴	テーパー角~90°に近い場合は、側壁付着なくエッチングできない。	全体的にテーパー角が80°では側壁付着なくエッチングできない	レジストの側部は約75° 根元は約90° 側壁付着なくエッチングできたのはレジスト側部の角度によると言える。	レジスト根元の角度は90°に近いが、側部が丸いので側壁付着なくエッチングできた。

【図9】

☒ 9

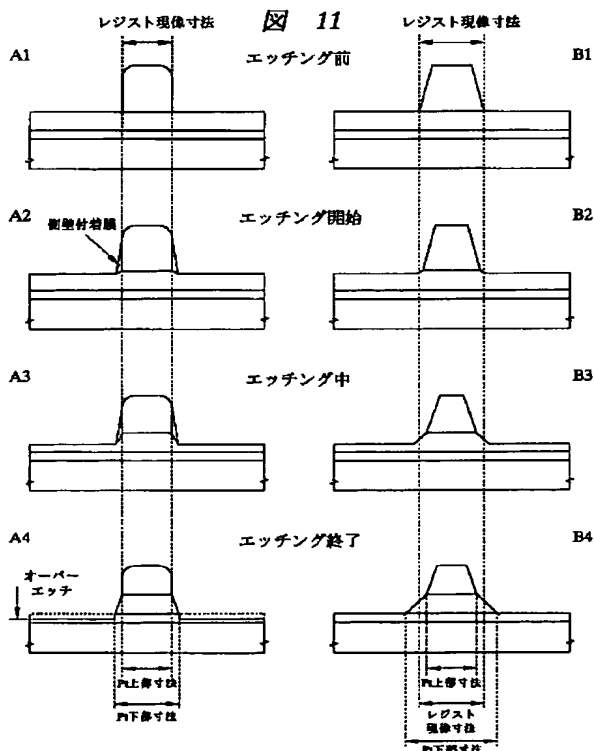


(b) SEMで側壁付着膜の有無を確認した領域



【図 1 1】

11



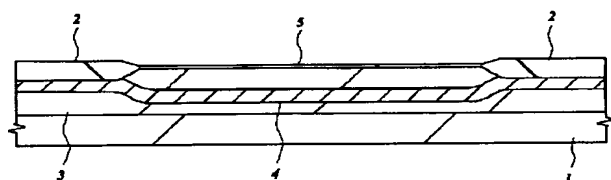
【☒ 10】

10

レジスト	UV条件		偏置付着の状況 (○：付着無し、△：少量付着、×：付着)									
	温度 ℃	時間 1秒	1	2	3	4	5	6	7	8	9	10
9200B2	140	15	×	×	×	×	△	○	△	×	×	×
	180	15	×	×	△	△	△	○	△	×	×	×
	180	30	×	△	△	△	○	○	△	×	×	×
	180	60	×	△	△	△	○	○	○	×	×	×
	200	15	×	△	△	○	○	○	○	×	×	×
	220	15	×	△	○	○	○	○	○	△	×	×
CR-V2	180	15	×	×	×	×	×	×	×	×	×	×
	180	30	×	×	×	×	△	△	×	×	×	×
	180	60	×	×	×	×	△	×	×	×	×	×
	200	15	×	×	×	×	△	×	×	×	×	×
	220	15	×	×	×	×	△	×	×	×	×	×

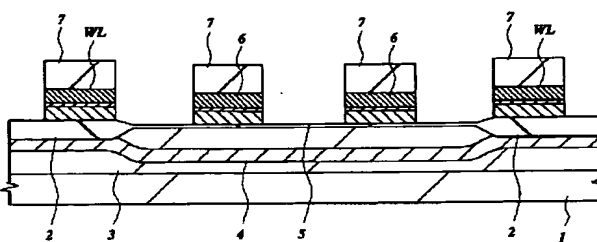
【図13】

図 13



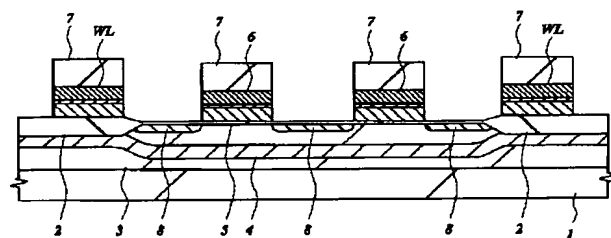
【図14】

図 14



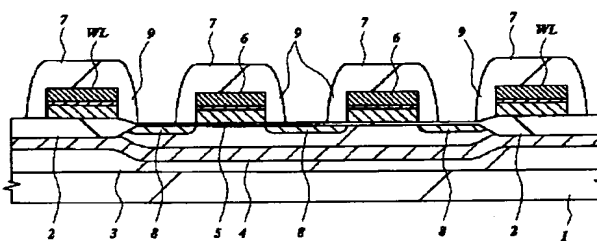
【図15】

図 15



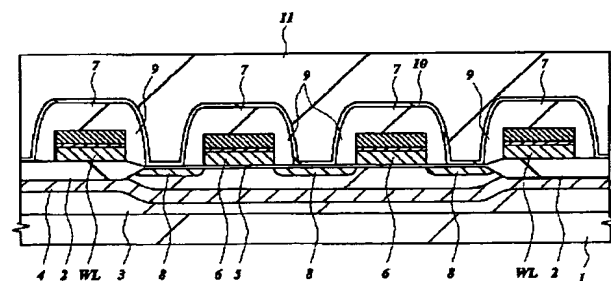
【図16】

図 16



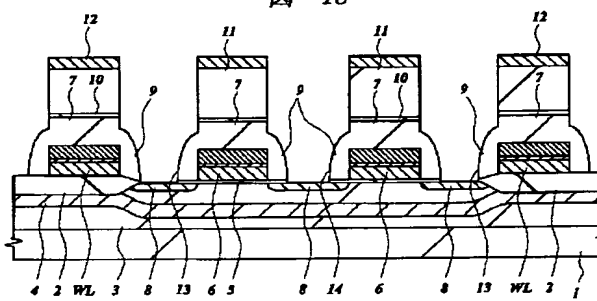
【図17】

図 17



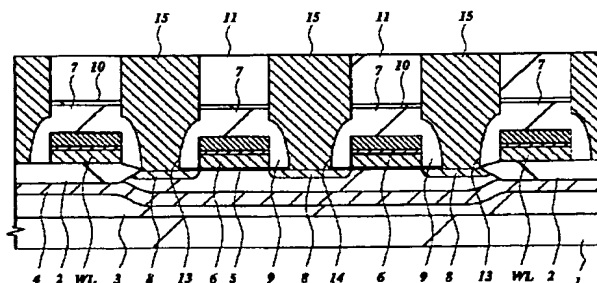
【図18】

図 18



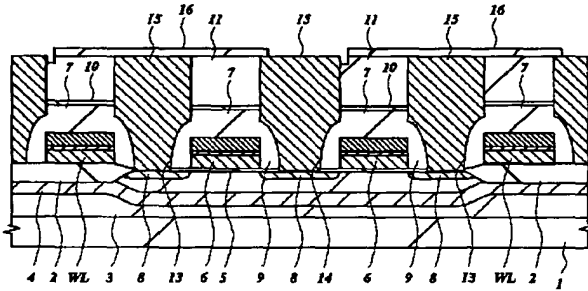
【図19】

図 19



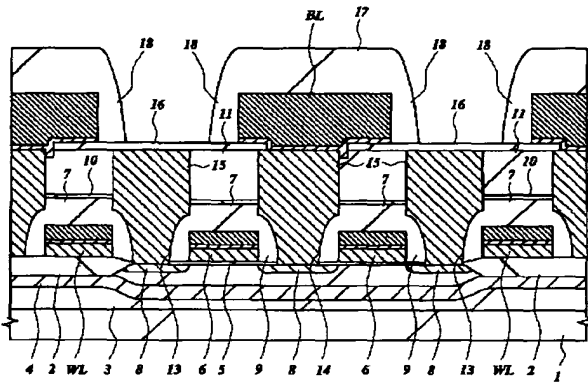
【図20】

図 20



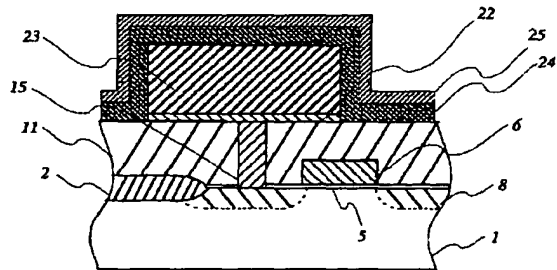
【図22】

図 22



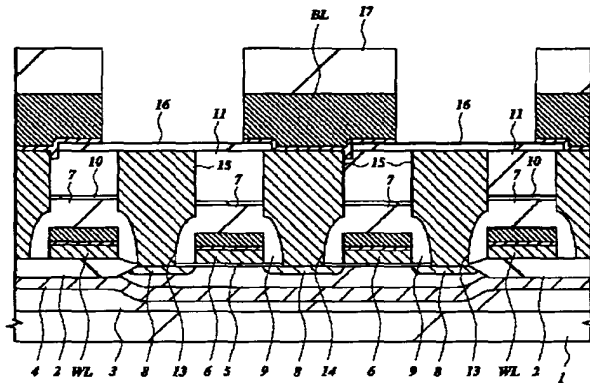
【図37】

図 37



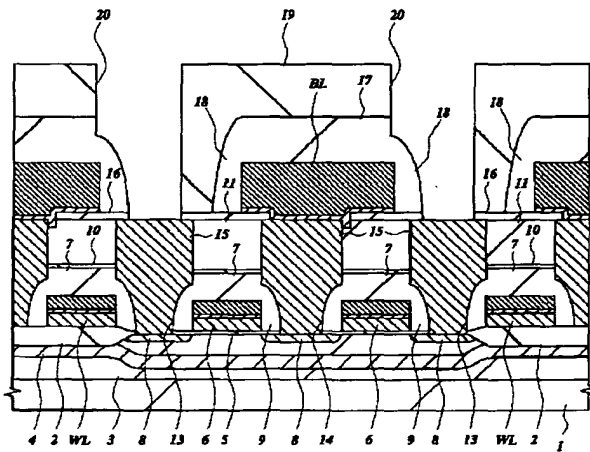
【図21】

図 21



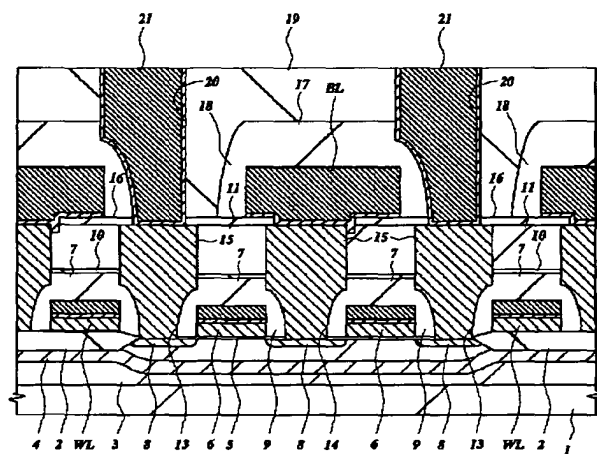
【図23】

図 23



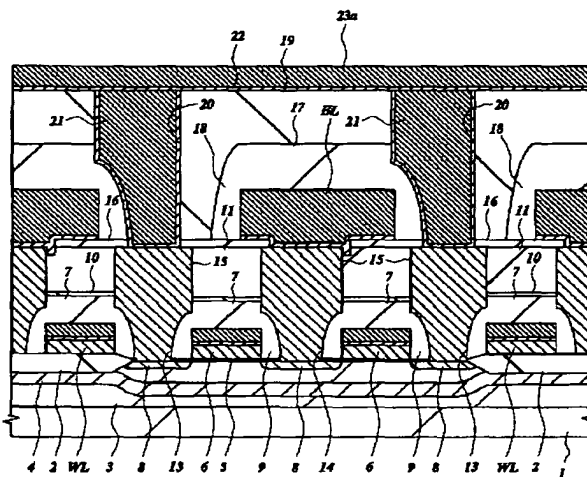
【図24】

図 24



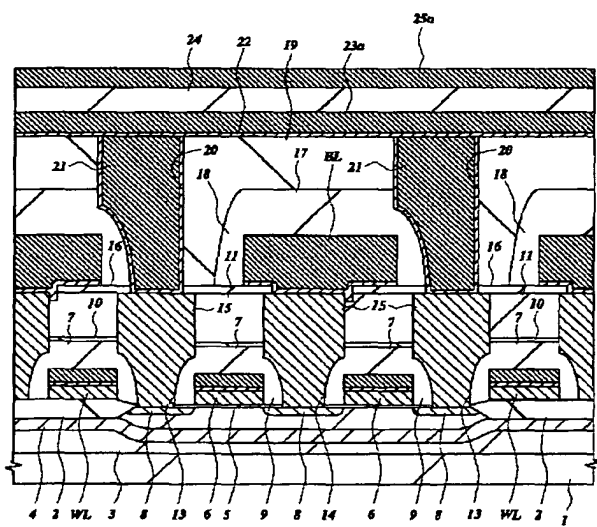
【図25】

図 25



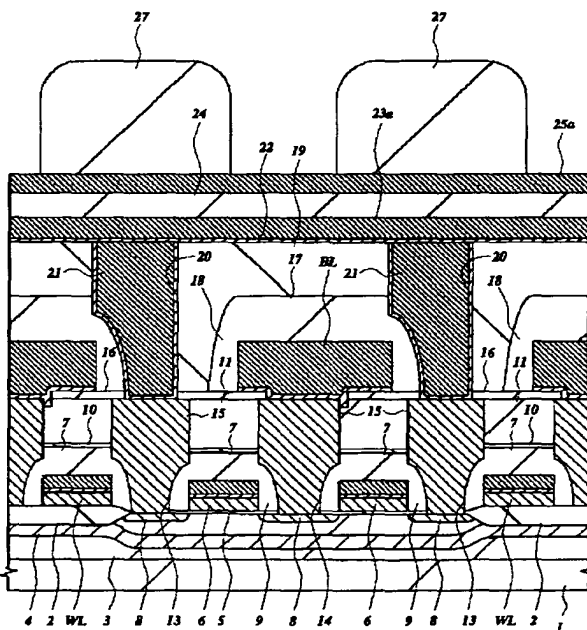
【図26】

図 26



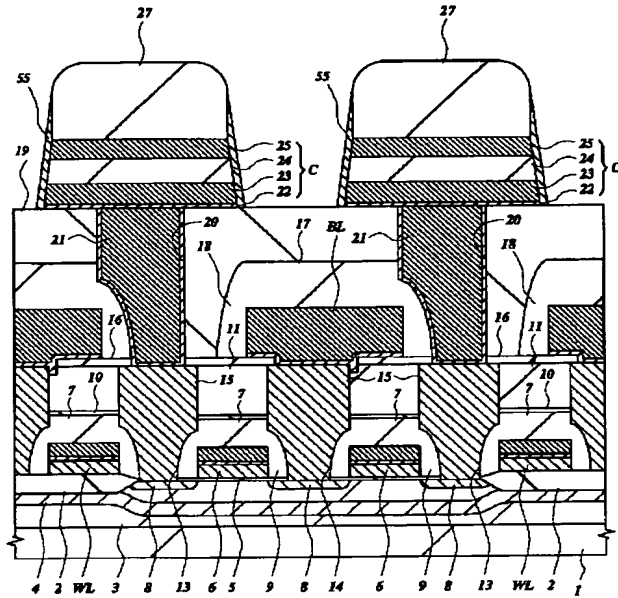
【図27】

図 27



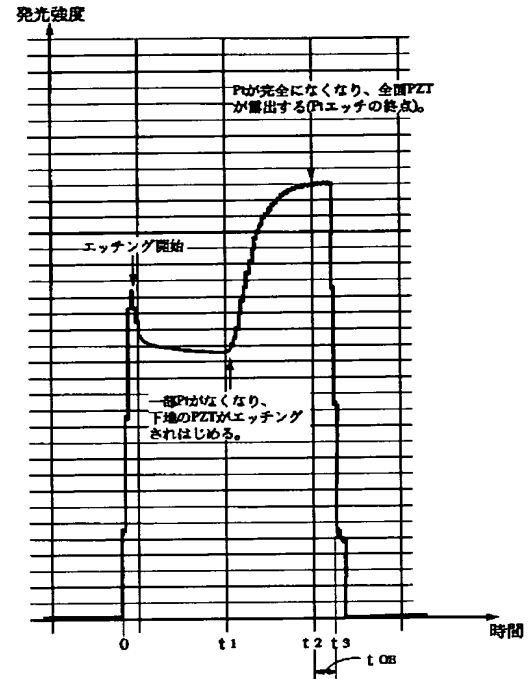
【図28】

図 28



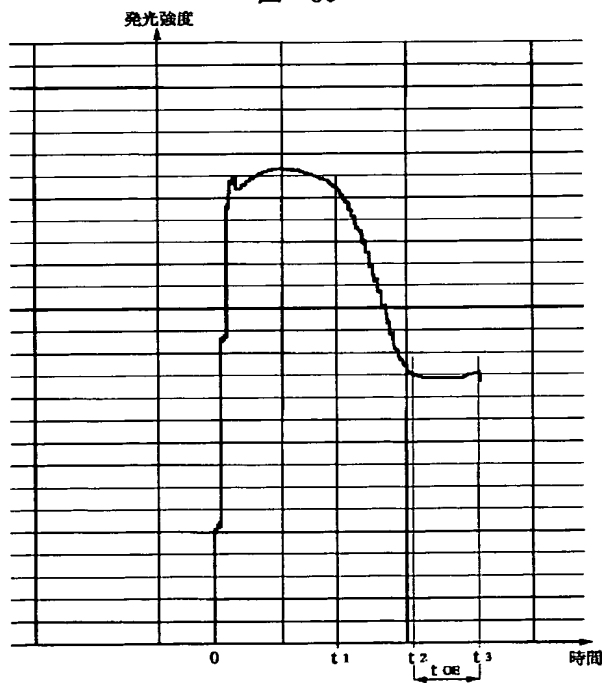
【図29】

図 29



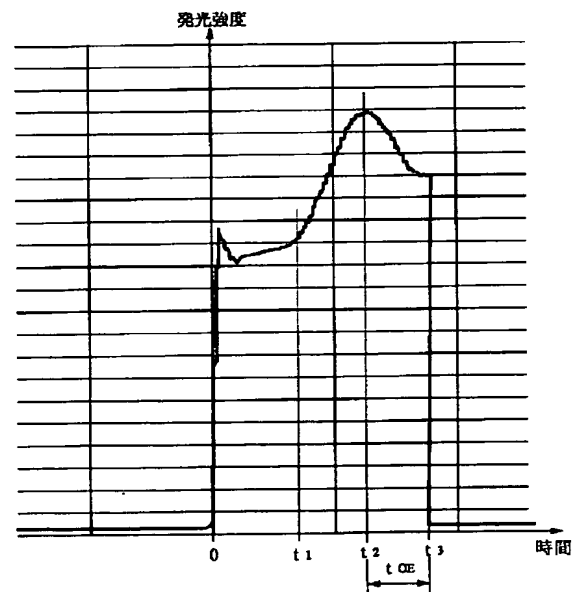
【図30】

図 30



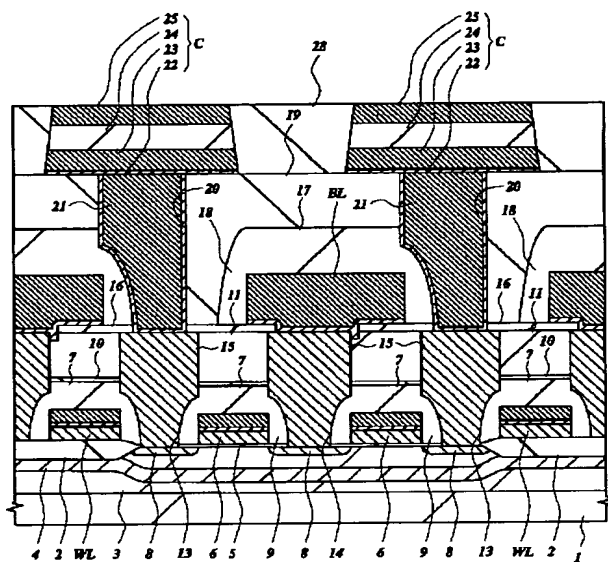
【図31】

図 31



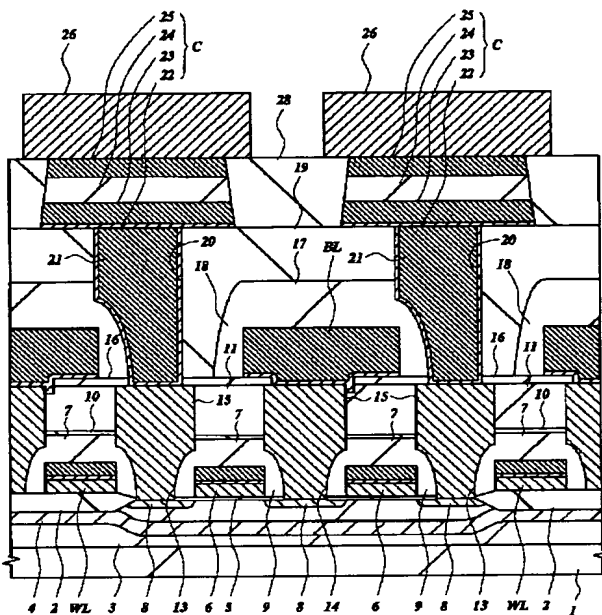
【図32】

図 32



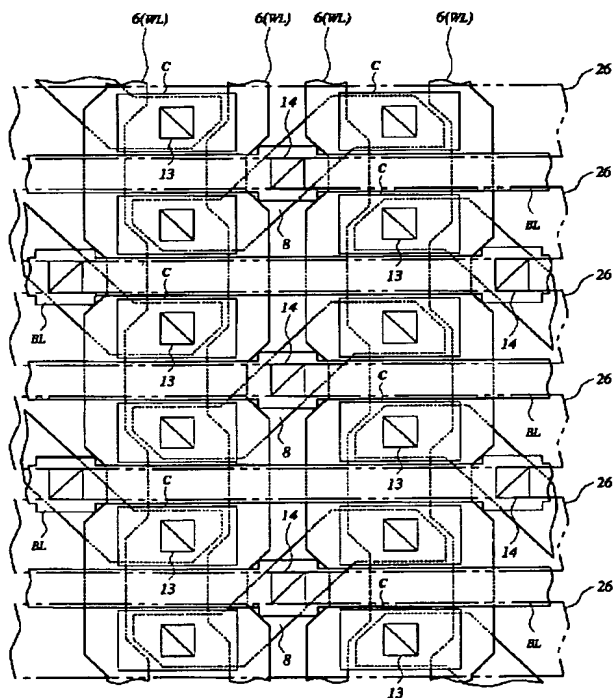
【図33】

図 33



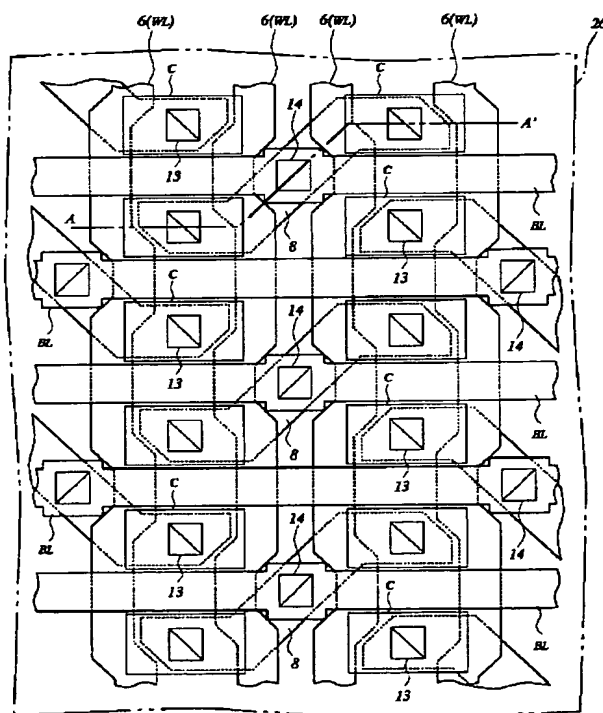
【図34】

図 34



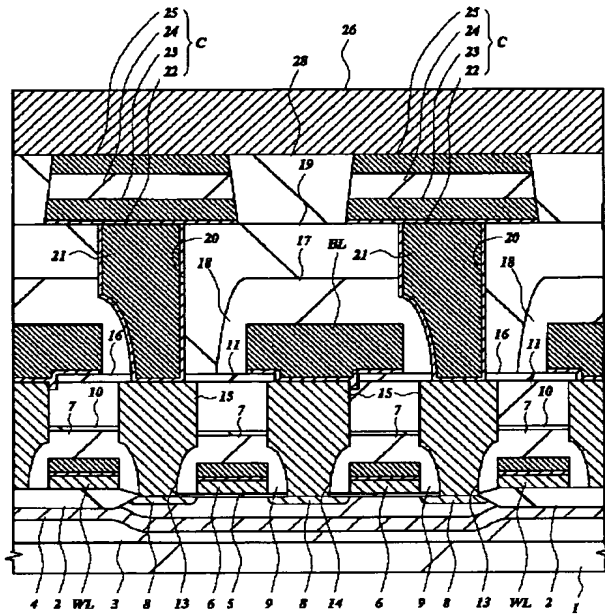
【図35】

図 35



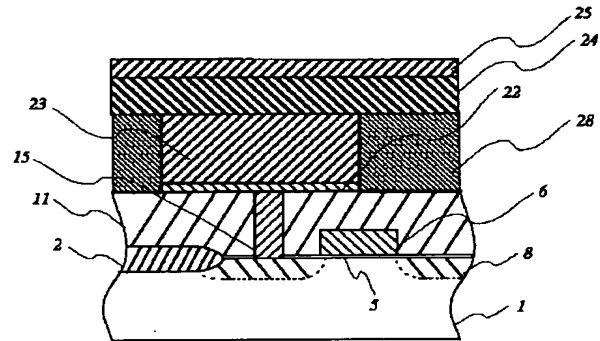
【図36】

図 36



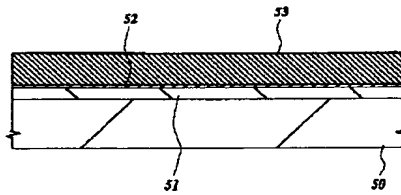
【図38】

図 38



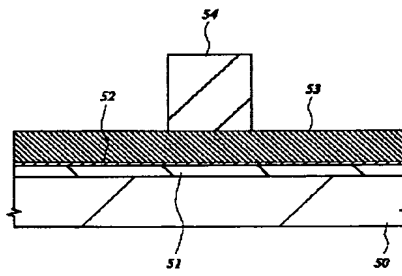
【図40】

図 40



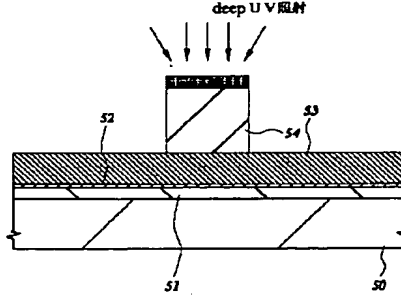
【図41】

図 41



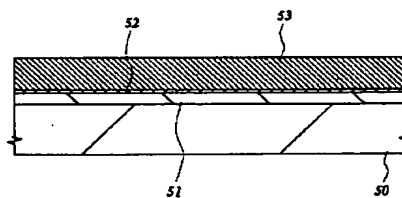
【図42】

図 42



【図44】







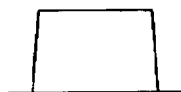





図 44



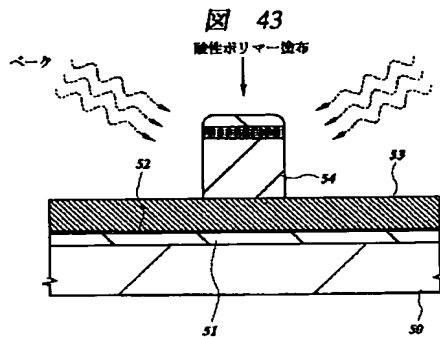
【図39】

図 39

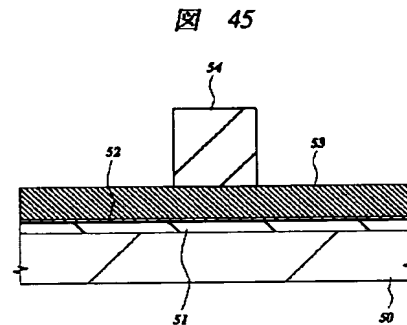
フォーカス制御とレジスト断面形状との関係

フォーカス オフセット (μm)	TSMR CR-N2 非ベンゾフェノン系 ノボラックレジスト		TSMR 9200-B2 ベンゾフェノン系 ノボラックレジスト	
	断 面	テーパ角	断 面	テーパ角
-2.0		$\sim 60^\circ$		$\sim 60^\circ$
-1.5		$\sim 75^\circ$		$\sim 67^\circ$
-0.5		$\sim 85^\circ$		$\sim 78^\circ$
±0 ベスト フォーカス		$\sim 87^\circ$		$\sim 85^\circ$
+1.0		$\sim 87^\circ$		$\sim 85^\circ$
+2.0		$\sim 85^\circ$		$\sim 79^\circ$

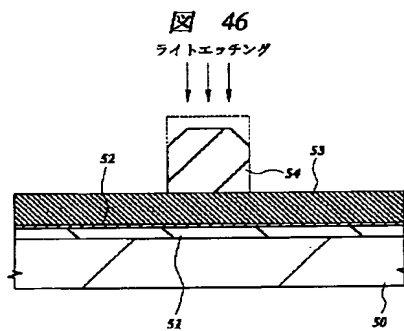
【図43】



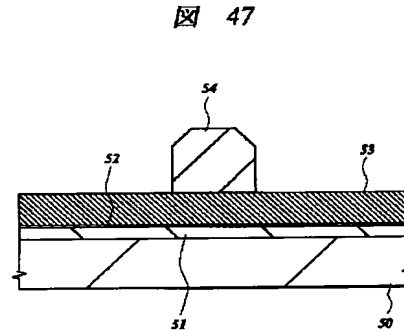
【図45】



【図46】



【図47】



フロントページの続き

(51)Int.Cl.⁶

H01L 27/04
21/822
27/10

識別記号

451

F I

H01L 27/04

C

(72)発明者 阿部 純

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 組橋 孝生

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 村井 二三夫

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内